



**Escola Politècnica Superior
de Castelldefels**

UNIVERSITAT POLITÈCNICA DE CATALUNYA

TREBALL DE FI DE CARRERA

TÍTOL DEL TFC:

TITULACIÓ: Contribució a una implementació software radio per a UMTS
I Wimax

AUTOR: Gunther Monté Muñoz

DIRECTOR: Lorenza Giupponi

DATA: 03 de Març de 2008

Títol: Contribució a una implementació software radio per a UMTS i Wimax

Autor: Gunther Monté Muñoz

Director: Lorenza Giupponi

Data: 03 de Març de 2008

Resum

Aquest treball tracta de desenvolupar una part d'un transmissor i d'un receptor per a dos estàndards diferents de comunicacions, UMTS i WiMAX.

El bloc que dissenyarem per al transmissor és el Digital Up Converter, i la seva funció és passar el senyal d'una freqüència central a una freqüència intermitja. Respecte al receptor dissenyarem el Digital Down Converter, un bloc que fa la funció inversa que el Digital Up Converter.

Tots els 4 blocs (2 per WiMAX i 2 per UMTS) els dissenyarem perquè funcionin sobre la mateixa FPGA ja que ens interessa treballar amb la tecnologia Software Defined Radio. Aquesta tecnologia es basa en digitalitzar tota la part dels sistemes de comunicacions, és a dir posar el conversor AD seguit de l'antena.

Aquesta tecnologia és força atractiva ja que si tenim un sistema digital només canviant el software podem canviar tot el comportament d'aquest, és a dir podem fer un transmissor/receptor que mitjançant diferents softwares funcione per a diferents protocols de comunicacions.

Això no és tan fàcil d'implementar com sembla, en primer lloc per les limitacions freqüencials dels actuals conversors AD, que són bastants inferiors respecte als components analògics. I en segon lloc, sempre hauríem de posar un filtre analògic entre l'antena i el conversor AD per filtrar tot el soroll, ja que sinó estaríem capturant tot l'espectre amb el conversor.

Com a conclusions del projecte, hem pogut dissenyar els 4 dispositius perquè funcionin sobre la mateixa placa però no els hem pogut implementar per falta de temps. També hem après com funcionen els sistemes WiMAX i UMTS i la tecnologia SDR.

Title: Contribució a una implementació software radio per a UMTS I Wimax

Author: Gunther Monté Muñoz

Director: Lorenza Giupponi

Date: 03 de Març de 2008

Overview

The aim of this project is to develop two blocks, one block is the Digital Up Converter and the other one is the Digital Down Converter. We are going to develop both block for two different communications standards, WiMAX and UMTS.

The Digital Up converter belongs to the transmitter and the Digital Down Converter belongs to the receiver. The function of the DDC is to centre a signal from a intermediate frequency to baseband and the function of the DUC is the opposite.

All the 4 blocks (2 of WiMAX and 2 of UMTS) are going to be designed to run under the same FPGA, in order to work with Software Defined Radio technology. This technology is based on digitalize all the components of a communication system, this is put the AD converter just before the antenna.

This technology is very attractive because if we have a digital system just updating the software we can change the protocol of communications that it uses.

This is not so easy to implement, firstly because the frequency limitations of the actual AD converters that are so much lower than analog components. And secondly we always need to put an analog filter between the antenna and the AD in order to filter all the noise.

To conclude, we have been able to design all the four blocks to run on the same FPGA but we cannot implement t due to a lack of time. We have learnt a lot of WiMAX and UMTS systems and about SDR technology.

Índex

Introducció.....	3
Capítol 1. SDR, WiMAX i UMTS	4
1.1 Introducció.....	4
1.2 SDR.....	4
1.2.1 Introducció	4
1.2.2 Descripció	4
1.2.3 Estat actual	6
1.3 WiMAX	6
1.3.1 Descripció	6
1.3.2 Estat actual	7
1.4 UMTS	8
1.4.1 Descripció	8
1.4.2 Estat actual	8
1.5 Comparativa	9
Capítol 2. Processat digital del senyal	10
Capítol 2.....	10
2.1 Introducció.....	10
2.2 Filtres digitals	10
2.2.1 Introducció al filtratge digital del senyal.....	10
2.2.2 Tipus de filtres digitals, FIR i IIR.....	11
2.2.3 Filtres CIC.....	12
2.3 El DDS	15
2.3.1 Introducció	15
2.3.2 El DDS dins el programari de Xilinx	17
2.4 Digital Up Converter	18
2.4.1 Filtre FIR amb forma de pols $P(z)$	19
2.4.2 Filtre FIR de compensació $C(z)$	19
2.4.3 Interpolador CIC	20
2.5 Digital Down Converter	20
2.5.1 El delmador CIC	21
2.5.2 Etapa de guany CIC.....	22
2.5.3 Filtre de compensació CFIR i filtre programable PFIR	22
Capítol 3. Entorn de treball	24
Capítol 3.....	24
3.1 Software	24

3.1.1	FDATool	24
3.1.2	Xilinx Core Generator	25
3.1.3	Xilinx Project Navigator	26
3.2	Hardware.....	27
3.2.1	FPGA XC2V-1000	27
Capítol 4.	Implementació	29
Capítol 4.	29
4.1	Implementació del DDC per a UMTS	29
4.1.1	Requeriments	29
4.1.2	Disseny	30
4.2	Implementació del DUC per a UMTS	32
4.2.1	Requeriments de mascara espectral.....	33
4.2.2	Adjacent Channel leakage Ratio (ACLR)	34
4.2.3	Error vector Magnitude (EVM).....	34
4.2.4	Disseny del DUC	34
4.3	Implementació del DDC per a la tecnologia WiMAX	38
4.3.1	Requeriments	38
4.3.2	Disseny	39
4.4	Implementació del DUC per a WiMAX	41
4.4.1	Requeriments	41
4.4.2	Disseny	42
Capítol 5.	Conclusions i suggerències per a treballs futurs	46
Capítol 5.	46
5.1	Conclusions.....	46
5.2	Impacte ambiental.....	46
5.3	Suggerències per a futurs treballs.....	47
Bibliografia.....		48
Terminologia.....		49

Introducció

L'objectiu d'aquest projecte és treballar amb la tecnologia SDR, acrònim de *Software Defined Radio*. Aquesta tecnologia es basa en digitalitzar la major part possible tant del transmissor com del receptor d'un sistema de comunicacions radio. Així, només canviant el Software dels dispositius digitals podrem definir per a quin sistema de comunicacions funcionarà el nostre dispositiu. L'esquema més primitiu d'un sistema SDR podria estar format per un PC equipat amb conversors AD/DA *Analògic-digital/Digital-analògic* i una antena. Però anant molt més enllà SDR permetrà tenir en un mateix dispositiu mòbil (smartphone, pda, etc), varis protocols de comunicacions, estalviant molts recursos hardware.

Per poder treballar amb aquesta tecnologia hem escollit dos estàndards actuals i força interessants per implementar amb SDR, UMTS (*Universal Mobile Telecommunications System*) i WiMAX (*Worldwide Interoperability for Microwave Access*). El hardware que programarem serà una FPGA (*Field Programmable Gate Array*) de la casa Xilinx, model Virtex II. Dissenyar tot un transmissor i un receptor és una tasca que s'escapa dels objectius d'aquest projecte, per la seva complexitat, el que farem serà doncs dissenyar un dispositiu que forma part del transmissor i un que forma part del receptor. Del transmissor farem el DUC (*Digital Up converter*) que s'encarrega d'eleva el senyal de banda base a una freqüència central i del receptor farem el DDC (*Digital Down Converter*) que ens permet baixar a banda base un senyal que tinguem a una freqüència central.

Per poder complir l'objectiu proposat el document del projecte s'estructura en 5 capítols. Al primer capítol explicarem el concepte de SDR i també explicarem el funcionament dels dos estàndards que hem escollit i en farem una comparativa entre ells des del punt de vista d'implementació en hardware.

Al segon capítol veurem la teoria bàsica del processat digital del senyal especialment els filtres, i el DDS (*Direct Digital Synthesis*) un component clau tant per al DUC com per al DDC. També veurem aquests dos des del punt de vista teòric i segons la documentació de Xilinx, amb les particularitats necessàries per implementar-lo a la seva placa.

Al tercer capítol explicarem l'entorn de treball que hem fet servir. De software hem fet servir FDATool de Matlab per dissenyar els filtres digitals. El Xilinx Core Generator per dissenyar el DUC i DDC i finalment Xilinx ISE per compilar els dispositius i gravar-los a la FPGA.

A continuació, al quart capítol tenim la part experimental del treball, on veurem els passos necessaris per implementar el DDC i DUC en els dos estàndards, des de les especificacions, disseny de filtres, implementació amb el Xilinx Core Generator, i compilació amb el Xilinx ISE.

Finalment a l'últim capítol tenim les conclusions, comentarem breument l'impacte ambiental de l'ús de la radiofreqüència i farem propostes per a la continuació d'aquest treball.

Capítol 1. SDR, WiMAX i UMTS

1.1 Introducció

En aquest capítol farem una introducció als conceptes clau i els estàndards que hem fet servir en aquest treball. El tema principal d'aquest projecte és treballar amb SDR, doncs primer explicarem que és aquest innovador concepte, el seu estat de l'art, quines empreses o entitats hi ha al darrera i quins son els plans per al futur.

Tot seguit, parlarem dels dos estàndards que hem escollit, WiMAX i UMTS. Cal destacar que aquesta elecció no introdueix falta de generalitat al present TFC i que també altres estàndards es podrien haver triat, com ara

1.2 SDR

1.2.1 Introducció

La idea del SDR o una radio reconfigurable per software no és nova, ja que es va començar a investigar aquest tema des dels anys 80. En aquella època, les ràdios eren d'ona curta (degut a les limitacions del conversors AD) i eren capaces de reconèixer automàticament la modulació que es feia servir.

Un sistema SR *Software Radio*, és un sistema on les funcions de comunicacions s'implementen sobre algun tipus de processador en forma d'algorisme. Basats en el mateix hardware diferents tipus d'algorismes ens permeten operar amb diferents estàndards. Un sistema SR ideal mostreja directament el senyal a la sortida de l'antena. SDR és una implementació pràctica de SR ja que el senyal és mostrejat després d'un filtre de selecció de banda. Tot i això, no és correcte pensar que SR és la tecnologia ideal, ja que tot i que tecnològicament poguéssim posar un conversor després de l'antena a la banda que ens interessi, estariem digitalitzant massa informació fora de l'ample de banda d'interès, així que sempre haurem de posar un filtre abans del conversor.

Una CR *Cognitive Radio* és un sistema SDR que a més a més va comprovant l'entorn i es va adaptant a aquest, en funció del soroll, nombre d'usuaris, etc. Els sistemes CR són una evolució del SDR i no són l'objectiu d'aquest treball, però és necessari mencionar-los ja que tenen unes possibilitats molt interessants.

1.2.2 Descripció

Podem classificar els sistemes SDR segons la seva area d'operació o segons el nivell de reconfiguració del sistema

Classificació segons l'àrea d'operació

- Sistema multibanda que fa servir diferents bandes d'un mateix estàndard, per exemple GSM 900, 1800, 1900.
- Sistema multibanda que suporta més d'un estàndard, ja sigui de la mateixa família o estàndards completament diferents. Per exemple, un dispositiu que funcioni per a UMTS, GSM (*Global System for Mobile Communication*) , i WLAN (*Wireless Local Area Network*).
- Sistema multiservei. Suporta diferents serveis, vídeo, telefonia, dades, etc.
- Sistema multicanal, suporta dos canals de forma simultània i independents.

Classificació segons el nivell de reconfiguració.

- Reconfiguració per encàrrec. Aquest no és un tipus de reconfiguració com a tal, ja que es fa a la fàbrica quan el client demana el transceptor.
- Reconfiguració amb “temps mort”. És una reconfiguració que es fa poques vegades durant la vida útil del producte, i requereix la desconnexió d'aquest. Pot incloure la substitució de components, i el motiu principal que té és l'actualització de la xarxa. Per exemple, hi ha moltes targetes Wifi que suportaven 802.11B i mitjançant una actualització de firmware son compatibles amb 802.11G.
- Reconfiguració per “base a la comunicació”. Es fa sense haver de reiniciar el dispositiu, només es reinicien algunes parts com per exemple el processador de banda base.
- Reconfiguració per “timeslot”. Es pot fer “en calent” sense interrompre la comunicació.

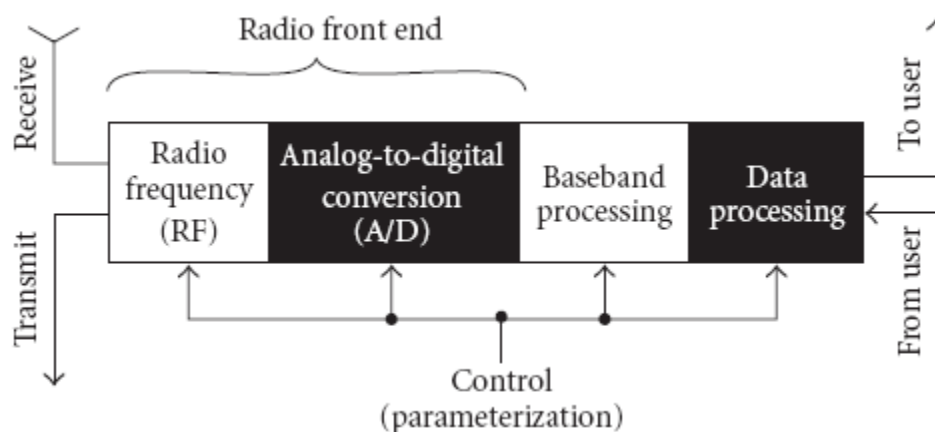


Fig. 1.1 Esquema bàsic d'un transceptor SDR

A la **Fig. 1.1** Esquema bàsic d'un transceptor SDR figura 1.1 veiem un esquema d'un transceptor SDR. El que varia d'un transceptor convencional és el bus de control de parametrització, que ens permet reconfigurar les diferents unitats segons ens convingui. Aquest tipus de bus ens garanteix per exemple que podem reconfigurar en “timeslot” per exemple en un *handover* entre diferents estàndards.

1.2.3 Estat actual

Avui en dia SDR està en expansió tot i que encara no s'ha extès als usuaris domèstics. Tot i això, ja es fa servir en estacions base, sistemes militars i aeroespacials. Els fabricants ja contenen amb desenvolupar sistemes SDR ja que els hi permet estalviar dissenys i poder actualitzar els dispositius en un futur.

Per promoure el SDR existeix el SDR-Forum que és una associació internacional d'indústries, centres d'investigació i universitats que s'agrupen per estandarditzar i desenvolupar el futur del SDR. En total hi ha més de 100 indústries, entre elles Xilinx, que ha fabricat la placa que farem servir en el projecte.

1.3 WiMAX

1.3.1 Descripció

WiMAX fa referència a l'estàndard de 802.16 de l'IEEE. D'aquest estàndard hi ha varies versions, nosaltres ens centrarem en la versió 802.16e-2005 (1) on és tracta el tema d'adaptar WiMAX a dispositius mòbils. WiMAX és una tecnologia dissenyada per crear xarxes MAN (*Metropolitan Area Network*) sense fils, com Wifi ho fa a les xarxes LAN (*Local Area Network*). Dit amb altres paraules, WiMAX ofereix l'enllaç "d'última milla" sense fils.



Fig. 1.2 Exemple d'una xarxa WiMAX

El funcionament de WiMAX es basa en una estació subscriptora i una estació base que està connectada al “backbone” de la xarxa telefònica bàsica. Així amb WiMAX ens connectem directament a la xarxa de l'operador, amb els grans avantatges que això suposa, com per exemple guanyar connexió a zones rurals o urbanitzacions on sortiria massa car fer arribar la fibra òptica o altres tipus de cablejat. Entre les aplicacions WiMAX hi trobem:

- Portar accés de banda ampla (telefonía IP i internet) amb prestacions similars a les que ofereix l'ADSL actual a llocs remots.
- Serveis per a SOHO (*Small Office, Home Office*). Donar accés de banda ampla dedicada, actualment moltes SOHO o fins i tot grans empreses opten per contractar un servei on l'operador instal·la un cable de fibra òptica des de la seu de l'empresa fins a la seva xarxa, però amb WiMAX s'abaratix molt el cost ja que només cal instal·lar una antena.
- Desplegament de xarxes backhaul per exemple per unir varies xarxes Wifi entre elles.

Quant a prestacions, WiMAX ofereix un radi de 50Km de cobertura i velocitats de fins a 134Mbps. WiMAX suporta modulacions adaptatives que permeten intercanviar ample de banda per radi de cobertura, així, per a un radi de 50 Km mai tindrem una velocitat de 134 Mbps. WiMAX fa servir la tecnologia OFDM *Orthogonal Frequency Division Multiplexing* i OFDMA *Orthogonal Frequency Division Multiple Access*, que són tecnologies basades en modulacions ortogonals i que les fan servir altres protocols com la televisió digital (tant terrestre com satèl·lit) o Wifi.

1.3.2 Estat actual

El WiMAX fòrum és una associació d'empreses, similar al SDRforum però per a WiMAX. S'encarrega de reunir fabricants d'electrònica i hardware per desenvolupar la tecnologia i posar en comú els estàndards, així com les antenes, els processadors i els transceptors. WiMAX fòrum també s'encarrega de provar i certificar els productes nous que els fabricants van llençant al mercat. Els primers certificat que WiMAX fòrum va atorgar van ser el gener del 2006 i des de la seva web (2) podem consultar tots els productes certificats que hi ha.

A priori podem pensar que WiMAX és una amenaça per als operadors de comunicacions ja que al ser un estàndard que no requereix llicència qualsevol entitat com una empresa o un ajuntament pot desplegar una infraestructura. Al territori espanyol, WiMAX ja és una realitat i es comercialitza a la majoria de comunitats autònomes, com a alternativa a l'ADSL a les zones rurals.

1.4 UMTS

1.4.1 Descripció

UMTS és una tecnologia de comunicacions mòbils també coneguda com 3G (*tercera generació*) i és la successora de sistemes com el GSM que és un representant de la segona generació de telefonia mòbil (2G) o el GPRS (*General Packet Radio Service*), a què ens referim quan parlem de generació 2.5G. Respecte a GSM, UMTS ofereix una sèrie de millores com el suport de la transmissió de dades i una velocitat de 2Mbps per usuari, arribant fins als 17.2 Mbps en condicions òptimes.

Les aplicacions de UMTS són la telefonia mòbil (tant veu com dades) i l'accés a internet per a portàtils i altres dispositius mitjançant targetes 3G. UMTS suporta el protocol IP amb els avantatges que això suposa com ara la facturació per tràfic o el suport per aplicacions multimèdia de vídeo trucada o TV per streaming.

L'UMTS fa servir un particular tipus d'accés múltiple que es diu modulació W-CDMA (*wideband code division multiple access*). Amb aquest tipus d'accés els usuaris poden accedir al medi compartint la mateixa freqüència i al mateix temps, ja que les transmissions es diferencien en base al codi associats. Per a més informacions respecte al sistema CDMA es pot fer referència a la documentació del IMT-2000 de la ITU (3).

1.4.2 Estat actual

Actualment l'UMTS ja és una i ja s'està investigant sobre el seu successor 3.5G o HSDPA *High Speed Downlink Packet Access*. Existeixen una gran varietat de terminals que suporten UMTS tot i que els usuaris comuns no acostumen a utilitzar aquesta tecnologia ja que surt massa cara. Tot i això per al món empresarial les targetes 3G per ordinadors portàtils són molt populars ja que permeten tenir velocitats similars a les de l'ADSL a qualsevol lloc per exemple hotels o aeroports.

HSDPA és una evolució del 3G però no es considera una nova tecnologia ja que és una millora del UMTS al fer servir una modulació de més ordre, 16-QAM i noves tècniques de correcció d'errors. HSDPA és compatible amb UMTS és a dir, un terminal HSDPA que tingui cobertura UMTS funcionarà correctament, això sí, amb les prestacions d'UMTS.

L'entitat que s'encarrega d'unir els fabricants, estandarditzar i certificar és el 3GPP. Actualment s'està discutint les bases del 4G però encara no hi ha cap estàndard publicat. El que sí se sap és que farà servir modulacions multi portadora amb tecnologia OFDMA abandonant la tecnologia W-CDMA i estarà orientat a terminals SDR.

1.5 Comparativa

Ara compararem en termes tècnics les característiques de WiMAX i UMTS per veure les seves semblances i diferències i així veure la complexitat que tindrem per implementar els dos estàndards sobre el mateix hardware.

Taula 1.1.1 Comparativa entre WiMAX i UMTS

Paràmetre	WiMAX	UMTS
Taxa de mostreig	5.712Msps	3.84Msps
Tecnologia d'accés	OFDMA	WCDMA
Ample de banda del canal	10MHz	5MHz
ACLR	60dB	45dB

A la taula 1.1 veiem una comparativa dels paràmetres entre WiMAX i UMTS, però hem de tenir en compte que agafem els paràmetres per a una situació concreta ja que WiMAX té modulacions adaptatives i alguns paràmetres com el tipus de modulació poden variar segons la SNR (*Signal to Noise Ratio*).

Segons la taula observem que l'estàndard que té uns requeriments més grans per al hardware és WiMAX, així escollirem els paràmetres de la FPGA segons WiMAX.

Capítol 2. Processat digital del senyal

2.1 Introducció

Per entendre millor els resultats d'aquest projecte cal deixar clars alguns conceptes de processat digital del senyal i també explicar dispositius com filtres i oscil·ladors digitals.

En aquest capítol veurem la teoria necessària per entendre el processat digital de senyal. Això inclou els filtres digitals, els DDS, DUC i DDC. Apart de la teoria veurem les recomanacions que ens fa Xilinx per optimitzar els dissenys d'aquests dispositius per al seu hardware.

2.2 Filtres digitals

2.2.1 Introducció al filtratge digital del senyal

La finalitat d'un filtre és la de processar un senyal present a l'entrada de forma que el senyal a la sortida tingui unes característiques freqüencials (en mòdul, fase o en els dos) diferents segons el que desitgem. Aquest és l'objectiu de tots els filtres, independentment de si són realitzats de forma digital o analògica.

Com que aquest projecte se centra en el software radio, que tracta de digitalitzar al màxim els components tant de l'emissor com del receptor, ens centrarem en els filtres digitals. Tot i això, abans farem una breu comparativa entre els filtres analògics i els digitals.

Els filtres analògics estan formats per components passius (condensadors, bobines, resistències) i actius (transistors, amplificadors operacionals, etc). Això implica que cada component té unes toleràncies i si construïm filtres en sèrie no seran tots iguals. Aquest tipus de filtres són més barats quant a temps i inversió econòmica que un sistema digital. Els filtres analògics però, poden treballar amb potències molt més elevades que els digitals, i també a freqüències molt més altes, ja que en els digitals s'està limitat per la freqüència del clock.

En canvi, els filtres digitals estan formats per equacions numèriques, i per tant són molt més flexibles a l'hora d'implementar-los en diferents plataformes tant en software com en hardware. Un avantatge és que els filtres digitals fabricats en sèrie són tots iguals, ja que l'equació que s'implementa és sempre la mateixa. Un altre avantatge significatiu d'aquests filtres és que poden "aprendre" o ajustar-se segons el tipus de senyal que vagin rebent. D'altra banda, com a inconvenients tenim que cada dispositiu té una limitació de la mida de les paraules en bits, i això ens limita respecte al marge dinàmic i la SNR.

Quant al procés de disseny, avui en dia és molt més fàcil dissenyar un filtre digital ja que disposem d'eines i simuladors molt avançats. Un exemple és el

fdatool de Matlab que és el que farem servir en aquest projecte. Aquesta eina ens permet dissenyar filtres digitals de forma molt eficient tenint en compte tots els paràmetres com la freqüència de mostreig, el nombre de bits, la finestra, etc.

2.2.2 Tipus de filtres digitals, FIR i IIR

Els filtres IIR (*Infinite Impulse Response*) són filtres digitals on la sortida té memòria (feedback) de l'entrada. Aquests tipus de filtres poden ser estables o inestables, per tant s'ha d'anar en compte a l'hora de dissenyar-los. Aquests filtres requereixen menys coeficients per tenir el mateix ordre que un filtre FIR, per tant requereixen menys temps de càlcul.

D'altra banda, els filtres FIR (*Finite Impulse Response*) són filtres amb la seva resposta impulsional finita i la seva sortida no té memòria. Els filtres FIR tenen la particularitat que es poden dissenyar perquè siguin de fase lineal. Tots els filtres presenten un retard de fase, però ens interessa que aquest retard sigui constant en totes les freqüències.

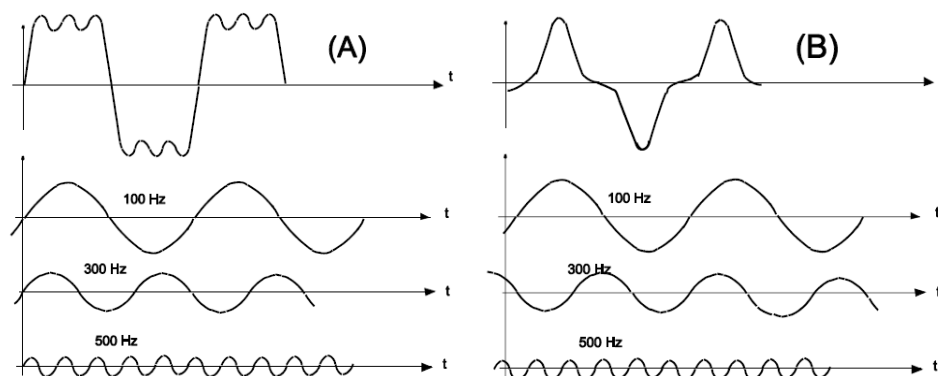


Fig. 2.1 Comparació filtre fase lineal

A la figura A tenim la sortida d'un filtre FIR de fase lineal que ens deixa passar els tres primers harmònics d'un senyal quadrat. A la figura B tenim la sortida del mateix filtre però sense ser de fase lineal. Observem que tot i que els dos filtres deixen passar els tres harmònics per separat, a l'hora de reconstruir el senyal el filtre de la figura A) ho fa correctament, però el de la figura B) apreciem el desfasament. Perquè un filtre FIR sigui de fase lineal, s'han de complir que la seva resposta impulsional sigui simètrica respecte al seu punt central. És indiferent que la simetria sigui parella o senar.

2.2.3 Filtres CIC

El propòsit dels filtres CIC (*cascaded integrator-comb*) és fer filtres que ens permetin interpolar o delmar de forma eficient sense necessitat de multiplicadors. Els filtres CIC estan formats per dos blocs, l'integrador i el comb. L'integrador o acumulador és un filtre IIR d'un pol amb un coeficient de retroalimentació. La seva equació de diferències i la seva funció de transferència són:

$$y[n] = y[n - 1] + x[n] \quad (2.1)$$

$$H(z) = \frac{Y(z)}{X(z)} = \frac{1}{1 - z^{-1}} = \frac{z}{z - a} \quad (2.2)$$

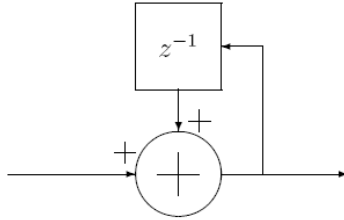


Fig. 2.2 Funció de transferència i diagrama de l'integrador

Aquest bloc és un filtre passa-baixes amb un guany de -20dB per dècada i per definició és inestable.

El filtre Comb funcionant a una freqüència de mostreig alta f_s amb una taxa de canvi R és un filtre FIR de simetria senar. La seva equació de diferències és:

$$y[n] = x[n] - x[n - RM] \quad (2.3)$$

On M és un paràmetre de disseny anomenat “retard diferencial”. M pot ser qualsevol enter positiu però normalment està limitat a 1 o 2. La seva funció de transferència és:

$$H_C(z) = 1 - Z^{-RM} \quad (2.4)$$

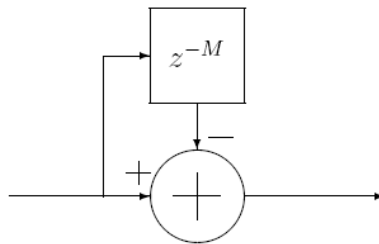


Fig. 2.3 Diagrama d'una etapa Comb

Aquesta funció de transferència és la inversa de l'integrador, és a dir tindrem un filtre passa-altes amb un guany de 20dB per dècada.

Per construir un filtre CIC encadenem N integradors amb N combs, i posem entre mig el bloc que ens canvia la taxa de mostreig. La part positiva d'aquesta estructura és que podem dissenyar filtres CIC programables, ja que els Comb i els integradors són independents de l'etapa que controla el canvi en la freqüència de mostreig. En resum, un delmador CIC tindrà N integradors en cascada, a una freqüència f_s , seguits del variador de taxa per un factor R, i N combs funcionant a f_s/R .

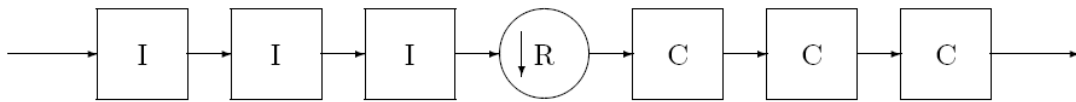


Fig. 2.4 Exemple d'un delmador CIC

Un interpolador CIC tindrà N comb a una freqüència de mostreig f_s/R , seguit per un bloc de "zero-padding" i finalment els N integradors a una freqüència f_s .

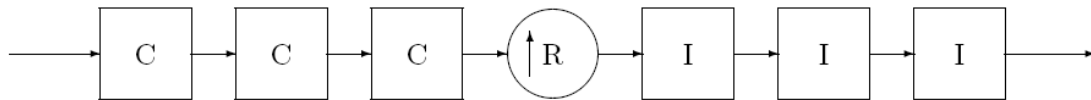


Fig. 2.5 Exemple d'un Interpolador CIC

2.2.3.1 Resposta freqüencial dels filtres CIC

La funció de transferència d'un filtre CIC és:

$$H(z) = H_I^N(z)H_C^N(z) = \frac{(1 - z^{-RM})^N}{(1 - z^{-1})^N} = \left(\sum_{k=0}^{RM-1} z^{-k} \right)^N \quad (2.5)$$

De l'equació 2.5 observem que tot i que els integrador tenen una resposta impulsional infinita, la resposta del CIC és equivalent a N filtres FIR de resposta impulsional rectangular. A més a més, cada filtre compta amb un coeficient per tant tenim filtres simètrics, i com hem explicat abans, és un filtre amb fase lineal. El mòdul de la funció de transferència del comb és:

$$|H(f)| = \left| \frac{\sin \pi M f}{\sin \frac{\pi f}{R}} \right|^N \quad (2.6)$$

I aproximant $\sin x \approx x$ per a x molt petites:

$$|H(f)| \approx \left| RM \frac{\sin \pi M f}{\pi M f} \right|^N \text{ per } 0 \leq f < \frac{1}{M} \quad (2.7)$$

Podem observar que la sortida tindrà zeros a les freqüències múltiples de $f = \frac{1}{M}$ i la regió al voltant del zeros és la regió on tindrem aliasing. Si definim f_c com la freqüència de tall de la banda aprofitable, les regions d'aliasing seran

$$(i - f_c) \leq f \leq (i + f_c) \text{ on } f \leq \frac{1}{2} \text{ per a } i = 1, 2, \dots, \frac{R}{2} \quad (2.8)$$

Una altra observació que fem és que per a un major nombre d'etapes N , menor serà l'amplitud dels alias.

2.2.3.2 Guany i mida de la sortida dels filtres CIC

El guany dels filtres CIC al final de tota la secció comb és:

$$G = (RM)^N \quad (2.9)$$

Amb aquest resultat i aritmètica de complement a dos obtenim que:

$$B_{out} = [N \log_2 RM + B_{in}] \quad (2.10)$$

On:

R = taxa de canvi (interpolació o delmat)

M = Retard diferencial (normalment 1 o 2)

N = nombre d'etapes del comb

B_{out} = Nombre de bits a la sortida

B_{in} = Nombre de bits a l'entrada

2.3 El DDS

2.3.1 Introducció

Un DDS produeix un sinus digital. El seu funcionament es basa en un esquema força senzill. Tenim un acumulador de fase (mòdul 2π) seguit d'una memòria de la forma d'ona o taula de sinus i finalment un conversor AD i un filtre passa-baixes per obtenir un sinus analògic.

Alguns paràmetres per caracteritzar la qualitat del DDS són la resolució en freqüència, el SFDR (*Spurious Free Dynamic Range*), la freqüència de sortida i el soroll de fase.

2.3.1.1 Resolució en freqüència

Aquest és un paràmetre que és funció inversa del nombre de bits amb que treballa l'acumulador de fase.

$$\Delta f = \frac{f_s}{2^n} \quad (2.11)$$

Així veiem que a un major nombre de bits li correspon una major resolució en freqüència.

2.3.1.2 Freqüència de sortida

La freqüència de sortida es calcula com el producte de la paraula binària M de N bits que apliquem a l'entrada de l'acumulador de fase per a la resolució en freqüència, és a dir:

$$f_{out} = M \cdot \frac{f_s}{2^n} \quad (2.12)$$

Quan la freqüència de sortida s'incrementa, el nombre de mostres per cicle del sinus disminueix, i pel teorema de Nyquist ja sabem que la freqüència màxima que podem obtenir a la sortida serà la meitat de la freqüència de mostreig, és a dir:

$$f_{out\ MAX} \leq \frac{f_s}{2} \quad (2.13)$$

Això és el que ens diu la teoria, però a la pràctica podem considerar que sigui 4 vegades la freqüència de mostreig per evitar problemes posteriors a l'hora de realitzar els filtres.

L'espectre de sortida típic d'un DDS és el que veiem a la figura 2.6.

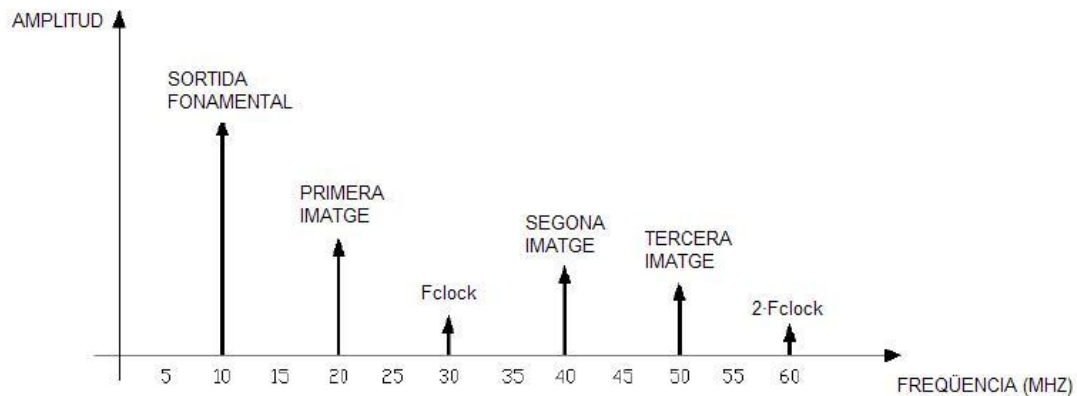


Fig. 2.6 Espectre d'un DDS $f_s = 30\text{ MHz}$ i $f_{out} = 10\text{ MHz}$

Com podem observar no només tenim la freqüència desitjada, sinó que també tenim imatges, segons aquesta equació:

$$f_{imatge} = N \cdot f_{clock} \pm f_{out} \quad (2.14)$$

Apart també tenim els harmònics de la freqüència de mostreig, això explica la necessitat del filtre abans del convertor AD.

2.3.1.3 SFRD

L'SFDR o marge dinàmic lliure d'espuris és la taxa entre l'amplitud de la portadora o senyal fonamental respecte al primer harmònic. És pot mesurar en dBc (dB's to carrier) a la figura 2.7 en tenim un exemple.

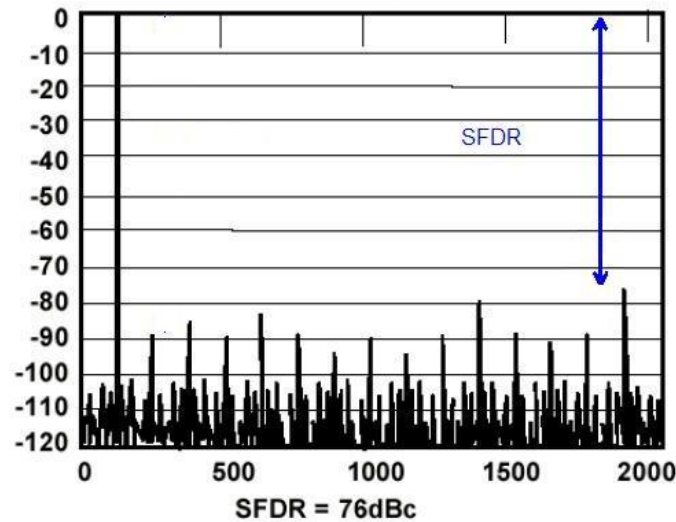


Fig. 2.7 Exemple del SFDR

2.3.2 El DDS dins el programari de Xilinx

Les FPGA de Xilinx de la família Virtex II ja porten un hardware dedicat per implementar aquests tipus de dispositius. Amb el software de disseny podem ajustar el valor del nostre SFDR del DDS. Si incrementem el valor del SFDR el que fem és incrementar el valor que ocupen els registres de la taula de sinus T1.

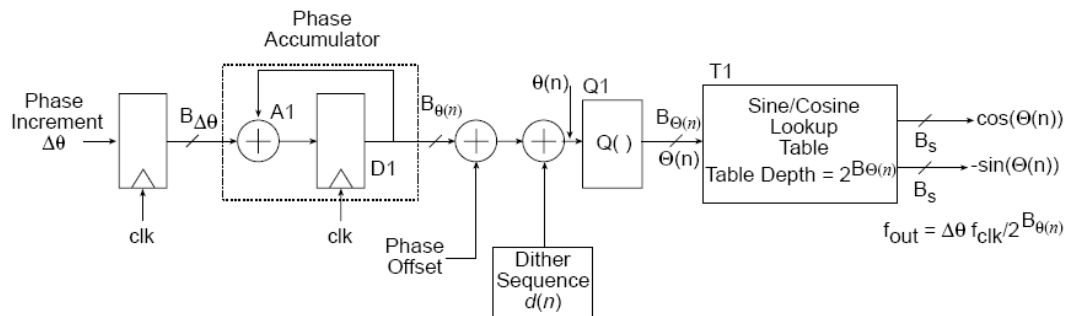


Fig. 2.8 Diagrama de blocs del DDS

Podem ajustar el DDS perquè tingui una freqüència de sortida fixa, o programable que ens permeti ajustar-la mentre funciona segons com la configurem. La freqüència de sortida del DDS ve donada per l'expressió

$$f_{out} = \frac{f_s \cdot \Delta\theta}{2^{B_{\theta(n)}}} [Hz] \quad (2.15)$$

on:

f_{out} = frecuencia de sortida del DDS

f_s = frecuencia de mostreig

$\Delta\theta$ = increment de fase

$B_{\theta(n)}$ = nombre de bits

La resolució en freqüència del DDS és un paràmetre que posem directament al software de configuració del DDS, tot i que la seva expressió és

$$\Delta f = \frac{f_s}{2^{B_{\theta(n)}}} \quad (2.16)$$

D'aquí podem aïllar per saber de quants bits serà la sortida de l'acumulador de fase, tot i que ens ho calcula el programa, va bé tenir-ho en compte.

$$B_{\theta(n)} = \log_2(\Delta f / f_s) \quad (2.17)$$

2.4 Digital Up Converter

Un digital Up converter és un bloc que es fa servir dins el transmissor. La seva funció és passar d'un senyal complex i en banda base a un senyal real i passa-banda. El senyal a l'entrada es mostreja, en general, a la taxa de modulació de símbol. Tot seguit el senyal és filtrat i remostrejat amb una taxa de mostreig més alta abans de ser modulat per un DDS.

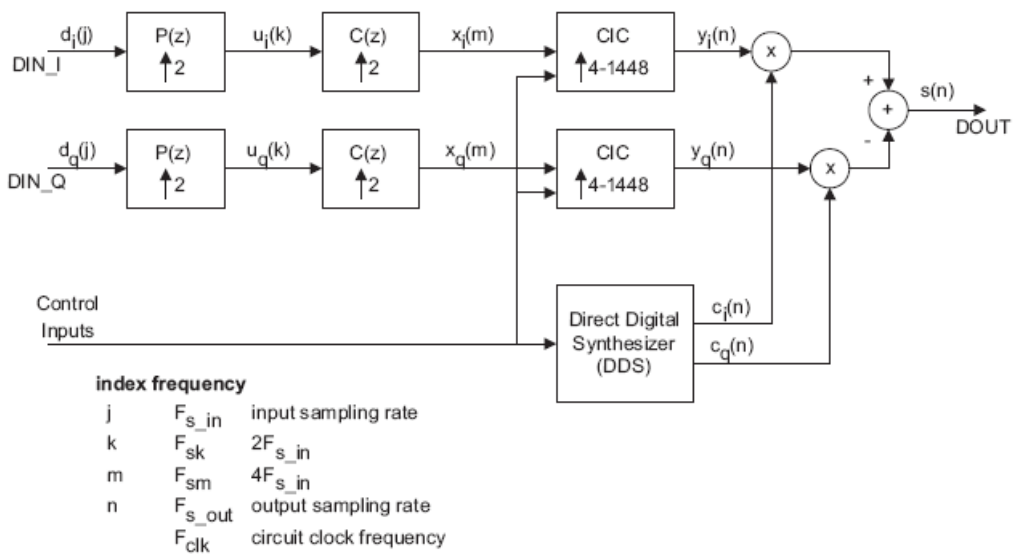


Fig. 2.9 Diagrama de blocs d'un Digital Up Converter

2.4.1 Filtre FIR amb forma de pols $P(z)$

El primer bloc és el Filtre FIR amb forma de pols $P(z)$. Necessitem dos filtres FIR, un per a la component en fase i un per a la component en quadratura. El filtre $P(z)$, interpola afegint una mostra cada dos, o bé, dobra la taxa de mostreig, que ve a ser el mateix. El resultat final és $F_{SK} = 2F_{s_in}$

Aquest bloc està format per un interpolador i un filtre. Primerament tenim un interpolador que el que fa és introduir zeros entre mostra i mostra. Després filtrem el senyal amb un filtre passa-baixes per assignar (interpolant) un valor als zeros que hem afegit. A la següent figura veiem un exemple d'un interpolador per 4 amb el seu filtre passa-baixes.

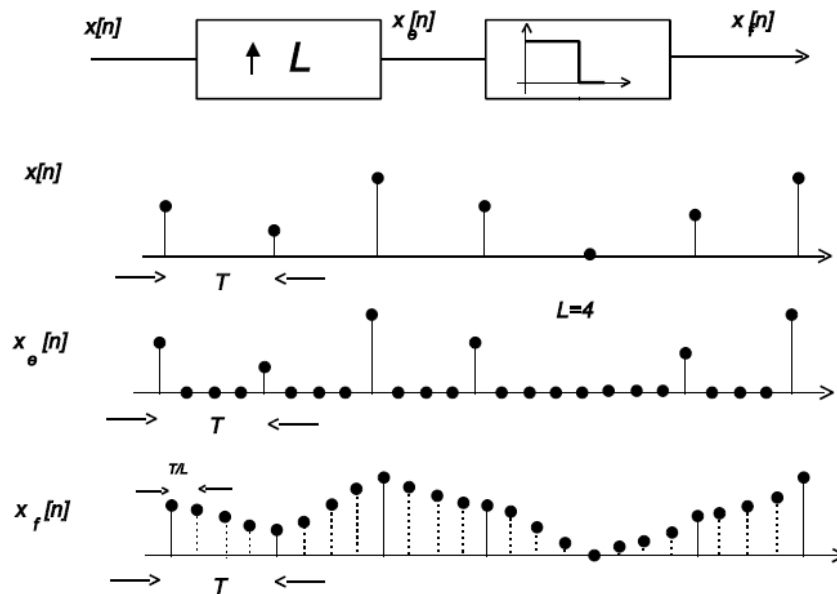


Fig. 2.10 exemple d'un interpolador per 4

El guany de DC del filtre és $0.5 \sum[p(k)]$, i el 0.5 és degut a que tenim un increment de dos a la taxa de mostreig.

2.4.2 Filtre FIR de compensació $C(z)$

El segon bloc és un Filtre FIR $C(z)$ que torna a elevar la taxa de mostreig al doble de l'anterior. El guany, igual que en l'anterior és $0.5 \sum[c(m)]$

La idea de posar aquest filtre és per compensar el factor de roll-off del filtre CIC. El filtre $C(z)$ té una banda de pas força gran per minimitzar la seva longitud. Hi ha una relació entre el nombre d'etapes del CIC i el nombre de coeficients de $C(z)$, que el programari de Xilinx s'encarrega de calcular.

2.4.3 Interpolador CIC

L' interpolador CIC, com ja hem explicat al DDC, és un bloc que es fa servir per realitzar canvis en la taxa de mostreig en sistemes digitals. Aquest bloc és el contrari que el CIC del DDC, aquest ens permet elevar la taxa de mostreig. El programari de Xilinx ens ofereix la possibilitat de crear un interpolador CIC amb un factor d'interpolació entre 4 i 1448.

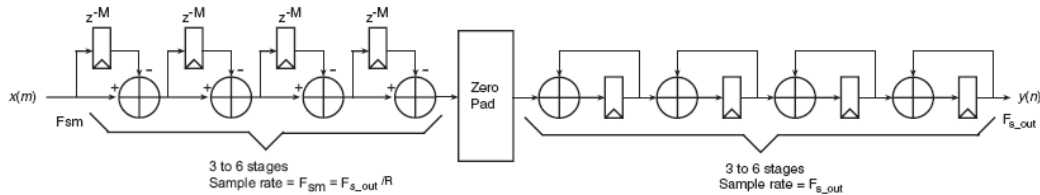
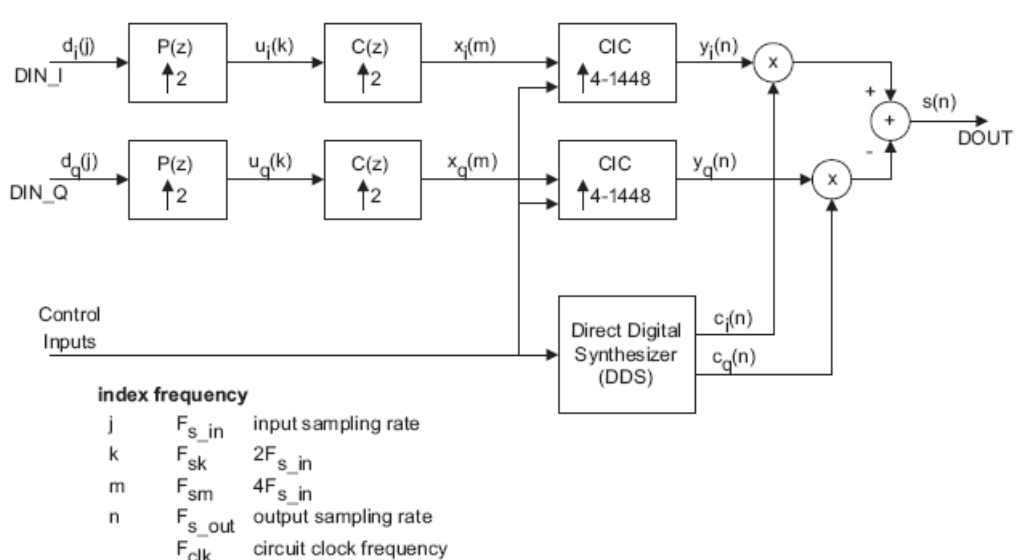


Fig. 2.11 diagrama de blocs d'un interpolador CIC



A la Fig 2.9 podem veure com l' interpolador està format per dos parts. Quan les mostres surten de la última etapa del comb, el "zero padding" afegeix $(R - 1)$ zeros, incrementant la taxa de mostreig de $\frac{f_{out}}{R}$ a f_{out} .

2.5 Digital Down Converter

Un Digital Down converter és un bloc que es fa servir en el receptor. La seva funció és passar d'un senyal real i passa-banda en un senyal complex a banda base. El primer component del DDC és un DDS que ens genera el sinus necessari per baixar en freqüència. A més a més, el DDC remostreja el senyal a una taxa de mostreig més baixa. Per fer aquest re-mostreig podem posar filtres CIC, FIR i IIR per evitar l'aliasing.

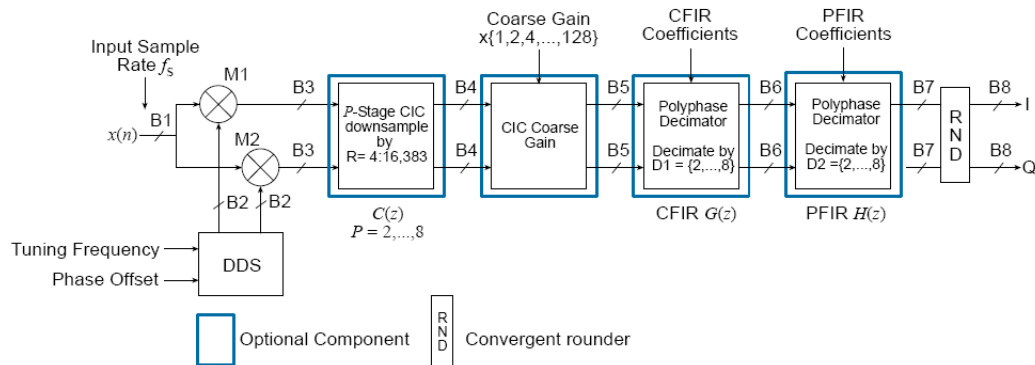


Fig. 2.12 Diagrama de blocs d'un Digital Down Converter

2.5.1 El delmador CIC

El filtre CIC és un component opcional del nostre DDC. Els filtres CIC són filtres que es fan servir per fer canvis de la taxa de mostreig en sistemes digitals. La seva aplicació típica és quan el senyal està mostrejat a una taxa de mostreig molt més gran que l'ample de banda que ocupa. Aquest és el cas contrari de l'interpolador, aquí eliminem mostres per tal de disminuir la freqüència de mostreig. Hem de tenir en compte que al delmar, es produeix una expansió dels "alias" en freqüència, per l'efecte de disminuir la freqüència de mostreig.

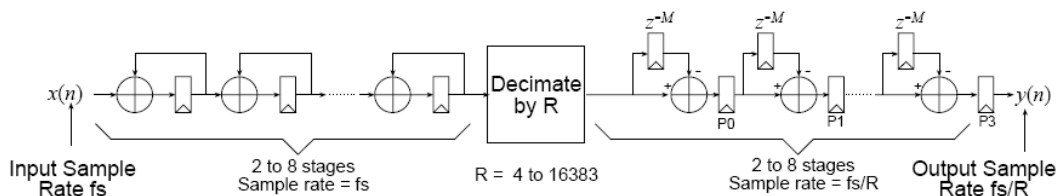


Fig. 2.13 diagrama de blocs d'un CIC ideal

A la **Fig. 2.13** diagrama de blocs d'un CIC ideal podem veure el diagrama de blocs d'un delmador CIC format per N integradors ideals amb la taxa de mostreig f_s . La funció de transferència de cada integrador és:

$$H_I(z) = \frac{1}{1 - z^{-1}} \quad (2.18)$$

La secció comb o pinta opera a la taxa de mostreig $\frac{f_s}{R}$ on R és el factor de canvi de la taxa de mostreig. Aquesta secció consta de N etapes amb un retràs diferencial de M mostres per etapa. El retràs diferencial és un paràmetre de

disseny del filtre que controla la resposta freqüencial d'aquest. La funció de transferència d'una etapa del comb és:

$$H_c(z) = 1 - z^{-RM} \quad (2.19)$$

i la funció de tot el filtre és

$$H(z) = H_I^N(z)H_C^N = \frac{(1-z^{-RM})^N}{(1-z^{-1})^N} = (\sum_{k=0}^{RM-1} z^{-k})^N \quad (2.20)$$

des de l'última expressió deduïm que la funció de transferència és equivalent a la de N filtres FIR en cascada.

Els filtres FIR són del tipus passa-baixes. La resposta en freqüència l'obtenim avaluant la seva funció de transferència per a $z = e^{\frac{j2\pi f}{R}}$ on f és la freqüència relativa a la taxa de mostreig dessitjada $\frac{f_s}{R}$. A partir de la resposta en freqüència podem calcular el mòdul d'aquesta,

$$|H(f)| = \left(\frac{\sin \pi M f}{\sin \frac{\pi f}{R}} \right)^N \quad (2.21)$$

i observem que tenim passos per zero a tots els múltiples de $f = \frac{1}{M}$. Això ens indica que quan dissenyem el filtre hem d'anar amb cura a l'hora d'escollir el paràmetre M per evitar que ens produeixi un pas per zero en una zona d'interès del senyal.

2.5.2 Etapa de guany CIC

A la sortida del delmador CIC podem aplicar una etapa de guany per compensar la reducció de l'ample de banda. Aquest guany pot ser de fins a 42dB o 7 bits. El fabricant ens diu que el guany és 2^{GUANY} on guany va entre 0 i 7, i ens recomana que $GUANY = \sqrt{R}$ on R és el factor de canvi de taxa de mostreig del CIC.

2.5.3 Filtre de compensació CFIR i filtre programable PFIR

Tant el filtre CFIR com el filtre PFIR són components opcionals del DDC. Aquests dos filtres es fan servir per tornar a reduir la taxa de mostreig. Poden

reduir la tatxa de mostreig que tenim a la sortida de la etapa de guany del CIC en un factor entre 1 i 8.

Capítol 3. Entorn de treball

3.1 Software

3.1.1 FDATOOL

Fdatool *Filter Design and analysis tool* és una eina que forma part del programari Matlab. Matlab és un programari molt complex que ens permet realitzar càlculs matemàtics amb aplicacions a molts camps de la ciència i l'enginyeria. Dins del “signal processing toolbox” hi ha el fdatool. Tot el que ens permet fer fdatool ho podríem fer mitjançant comandes de consola de Matlab, ja que més que una aplicació en si, fdatool és una potent GUI (*Graphical User Interface*) que ens estalvia molt de temps en els dissenys.

A la següent figura veiem la simplicitat d'aquesta aplicació per dissenyar un filtre passa-baixes.

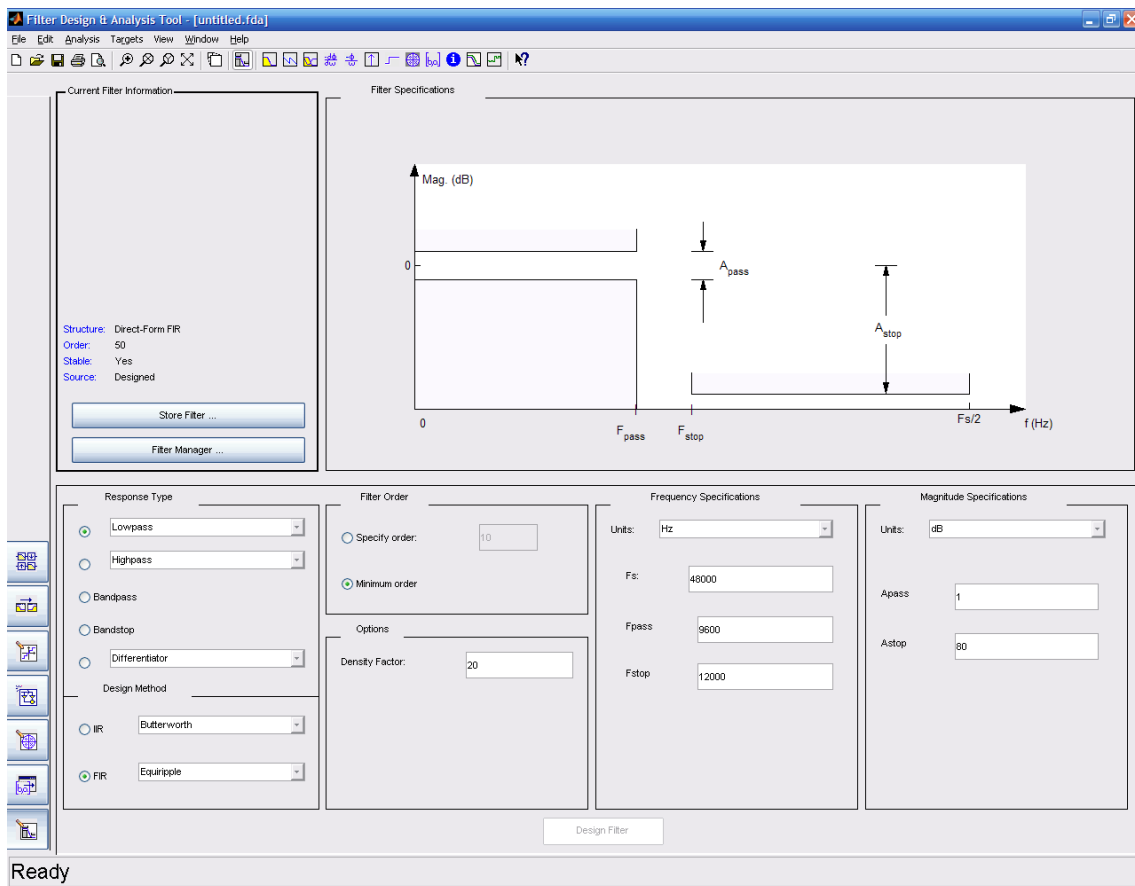


Fig. 3.1 Pantalla principal de FDATOOL

Aquesta eina ens permet dissenyar filtres digitals de forma fàcil i ràpida i apart de simular-los, ens mostra la resposta freqüencial, diagrames de pols i zeros, i fins i tot ens permet modificar filtres existents.

El format de fitxer que accepta el software de Xilinx és el .COE. Fdatool ens permet exportar els filtres a aquest format, sempre que tinguem el software de Xilinx instal·lat també al mateix ordinador. Per poder exportar el nostre filtre a format COE hem que respectar una sèrie de condicions.

D'una banda, l'aritmètica del filtre ha de ser del tipus "fixed-point" o coma fixa. Per defecte els filtres es dissenyen amb "Double precision Floating point". El problema és que les FPGA que fem servir són de coma fixa, llavors haurem de triar aquesta opció, o bé transformar els coeficients reals en sencers, mitjançant operacions de normalització, si no el filtre que dissenyem no serà vàlid.

D'altra banda, l'estructura del filtre ha de ser "direct form FIR" també coneguda com "filtre transversal". Aquesta és una estructura que s'implementa a partir de l'equació de diferències del filtre. A més a més, com que un filtre FIR no implementa *feedback* de la sortida sobre si mateixa, l'estructura resultant té una implementació sistemàtica, on es va avançant d'esquerra a dreta i a cada avanç es posa un retard i el seu coeficient corresponent. A la figura següent en tenim un exemple.

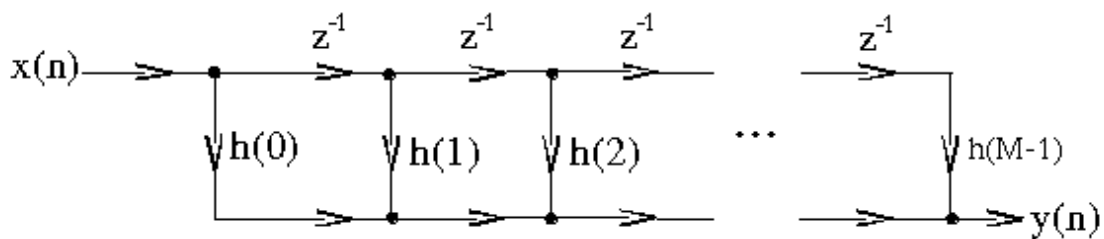


Fig. 3.2 estructura directa d'un filtre FIR

3.1.2 Xilinx Core Generator

El Xilinx Core Generator és un programa que té una llibreria molt extensa de "IP cores". Els IP cores són funcions lògiques pre-configurades i optimitzades per a les FPGA de Xilinx. Per exemple, tenim IP cores de multiplicadors, transformades de Fourier, filtres FIR i fins i tot DDC i DUC.

El funcionament del programa és el següent:

1. Primer ens demana el nostre model de FPGA i el tipus d'encapsulat
2. Tot seguit amb quin llenguatge volem implementar el core (VHDL, verilog, amb esquemàtics, etc)
3. A continuació ens mostra els ip cores disponibles per la FPGA i l'encapsulat que em triat.
4. Finalment ens demana les variables com freqüència de treball, mostreig, etc i en cas que tinguem filtres, ens demanarà els coeficients, que podem importar des de fdatool mitjançant un fitxer cor.

A més a més cada IP core compta amb un datasheet amb una explicació molt completa sobre el funcionament i la implementació del Core i fins i tot exemples

de possibles implementacions. Tots els IP cores estan desenvolupats i provats per Xilinx així que es molt poc probable que ens donin algun error, i en cas de donar error podem contactar amb Xilinx perquè ens donin suport. Cal destacar que un cop generat el IP core, es generà un informe amb la utilització dels recursos de la FPGA, que és de gran utilitat a l'hora d'implementar els dispositius a la FPGA.

Aquesta eina és molt útil ja que ens estalvia molt de temps en el disseny i en les proves dels dispositius.

3.1.3 Xilinx Project Navigator

El Xilinx Project Navigator també conegut com Xilinx ISE és l'eina que fem servir per generar i gestionar tot el procés de desenvolupament. El Project Navigator és un IDE (*Integrated development enviroment*) que ens permet recorre totes les fases del desenvolupament d'un circuit Logic, des del disseny fins a la implementació en una arquitectura reconfigurable, passant per la simulació.

Resumint les fases del procés de disseny són aquestes:

1. Disseny
2. Imposició de restriccions
3. Síntesis
4. Implementació
5. Configuració del dispositiu / carrega del programa

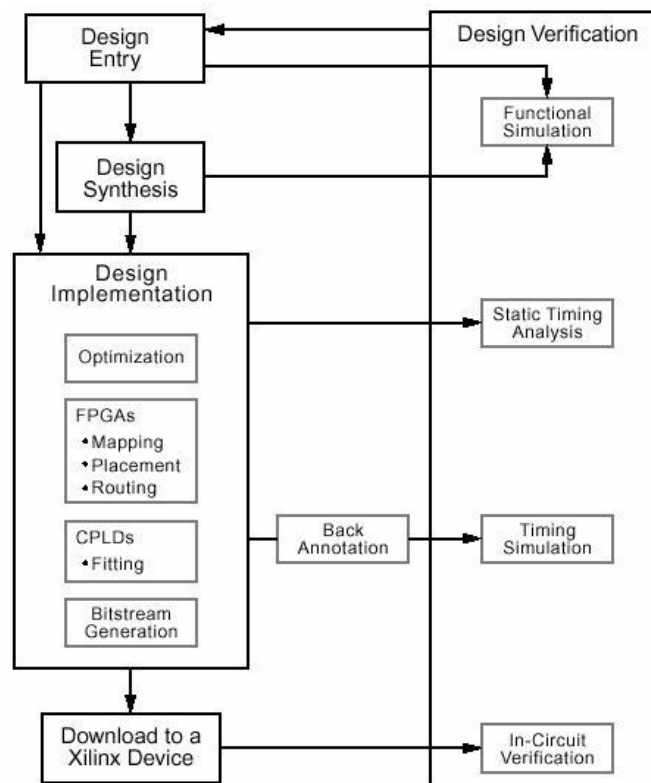


Fig. 3.3 Flux de disseny de Xilinx

3.1.3.1 Disseny restriccions i síntesis

La primera part del diagrama es la “Design Entry” és a dir descriure el nostre circuit com si fos una “capsa negra” amb les entrades i sortides que tindrà. I també descriure aquesta “capsa negra” per dins, és a dir que farà amb les entrades i sortides. Per fer això tenim varies opcions:

- Programar amb HDL, VHDL , verilog o similars
- Esquemàtics
- EDIF
- NGC/BGO
- Diagrama de maquina d'estats
- IP core

Com ja hem explicat nosaltres farem servir els IP cores per tots els avantatges que comporta, però veiem que en cas de voler dissenyar alguna cosa que no tingui IP core, podem triar entre una gran varietat d'alternatives. El Xilinx ISE compta amb compiladors de VHDL, eines per dissenyar esquemàtics i fins i tot per generar diagrames d'estats.

Per que el circuit es comuniqui amb l'exterior tenim que assignar els pins de l'encapsulat a les entrades i sortides de la nostra “capsa negra”. Per això el Xilinx ISE ens facilita una eina.

Un cop dissenyat el circuit i assignats els pins el següent pas és “traduir” el disseny a portes lògiques que és el que gravarem a la FPGA. Per fer aquest procés podem fer servir el sintetitzador de Xilinx o altres eines de “third parties” que s'integren al IDE de Xilinx, com per exemple “Leonardo Spectrum” o “Synplify”

3.1.3.2 Implementació i gravació

La fase d'implementació consisteix en la creació d'un fitxer que un cop gravat al dispositiu farà que funcioni tal com hem especificat. Per gravar el fitxer fem servir una altra utilitat de Xilinx que forma part del Project Navigator. Arribats a aquest punt tenim dues alternatives, o provem el sistema en una placa de desenvolupament o si ja sabem que funciona el gravem directament a una placa per fer-lo servir.

3.2 Hardware

3.2.1 FPGA XC2V-1000

La FPGA que tenim al laboratori i per la que hem dissenyat tots els dispositius del treball es un Xilinx Virtex XC2V-1000. Entre les seves característiques destaquem fins a 1180 ports d' I/O, 1000 portes lògiques, 720Kb de memòria

RAM i una freqüència de clock de 420MHz. Podem trobar totes les característiques al seu datasheet (4). Aquesta FPGA té uns requeriments de sobres per implementar el DUC i el DDC que són els objectius del treball, però hem de dir que actualment hi ha productes de característiques superiors al mercat.

Per exemple tenim la família de FPGA's Virtex 5 amb unes característiques més avançades com una freqüència de clock de 550 MHz i velocitats de comunicació amb l'exterior de fins a 3.75Gbps. També compta amb 331000 portes lògiques i fins a 80 Mb de memòria RAM. Si comparem aquestes característiques amb les de la Virtex II veiem que la tecnològica avança molt ràpidament i això ens permetrà implementar cada cop més estàndards en la mateixa placa, és a dir l'objectiu de SDR.

Capítol 4. Implementació

4.1 Implementació del DDC per a UMTS

4.1.1 Requeriments

Com hem explicat al capítol 2 el DDC ens passa els canals que tenim a una freqüència intermitja a banda base. Segons l'estàndard (5), per a UMTS, la taxa de chip és de $F_{\text{chip}}=3.84\text{Mcps}$ i a l'entrada del DDC tenim un senyal real mostrejat a $16 \times F_{\text{chip}} = 61.44\text{Msps}$ i quantificat amb 14 bits (5). El senyal complex que necessitem a banda base serà de $3.84 \times 2 = 7.68\text{ Msps}$, ja que com veiem a la figura 4.1, tindrem una mostra per I i una per Q així la taxa de mostreig serà de 3.84 per I i 3.84 per Q quantificat amb 16 bits i complex (5).

Taula 4.1 característiques d'UMTS

Paràmetre	Valor
Ample de banda de portadora	5.0MHz
Nombre de portadores	1
Freqüència de mostreig	61.44Msps (16x3.84)
Taxa de mostreig a la sortida	7.68 Msps
Quantificació a l'entrada	14Bits (real)
Quantificació a la sortida	16 bits (I-Q) complexe
Propietats del mesclador	Ajustament variable Resolució freqüencial: 0.25Hz SFDR: fins a 115dB
Freqüència central	15.36MHz

L'objectiu del DDC és reduir el nombre de mostres per 8 $61.44/8 = 7.68$. Podríem intentar fer-ho amb una sola etapa, però necessitaríem un filtre amb la longitud dels coeficients massa gran i amb un elevat cost computacional. El que farem serà implementar una etapa que delmi per 2 i el CIC que delmi per 4. Un altre objectiu del DDC és eliminar les interferències de canal adjacent i maximitzar la SNR. Així tindrem el CIC que delmarà per 4, el guany del CIC per millorar la SNR i finalment el CFIR que delmarà per 2. A la figura 4.1 podem veure l'esquema.

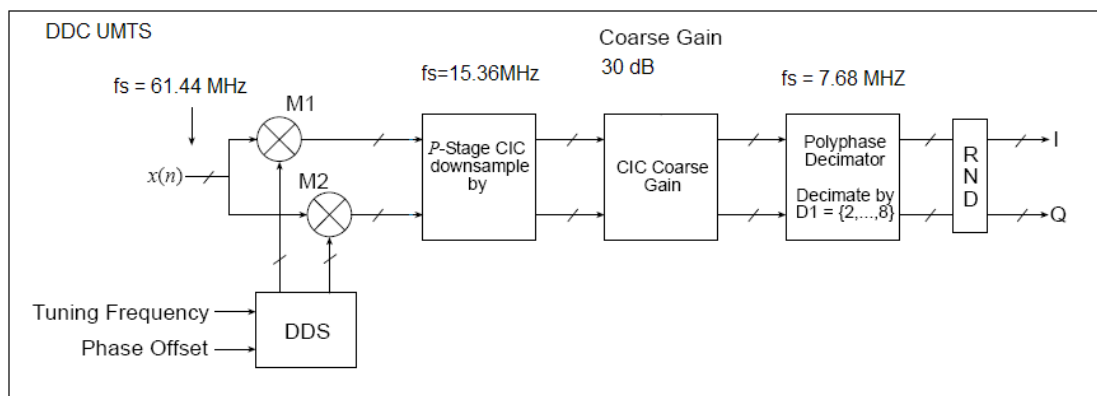


Fig. 4.1 Esquema del DDC per a UMTS

4.1.2 Disseny

Per al DDS agafem una freqüència de 0.25 MHz, per baixar el senyal a banda base. Com hem explicat abans, la resolució en freqüència és

$$\Delta f = \frac{f_s}{2^{B_{\theta(n)}}} \quad (4.1)$$

$$B_{\theta(n)} = \log_2 \frac{f_s}{\Delta f} = \log_2 \frac{61.44 \text{ MHz}}{0.25} = 27.87 \text{ bits} \quad (4.2)$$

I quant al guany del CIC si tenim $R=28$ i recordem les equacions de l'apartat 2.5.2

$$2^{GUANY} \quad (4.3)$$

$$GUANY = \sqrt{R} \quad (4.4)$$

$$\sqrt{28} = 5.29 \rightarrow 2^5 = 32 \rightarrow 20 \log 32 = 30.1 \text{ dB} \quad (4.5)$$

Ara ja tenim el senyal centrat a 15.36 MHz ($61.44 / 4$) i ens falta el filtre CFIR que ens delmarà per dos per deixar-lo a 7.68 MHz. Tenim que el nostre filtre rep un senyal centrat a 15.36 MHz i amb un ample de banda de 5MHz. El corresponent filtre dissenyat amb fdatool té una llargada de 22 coeficients.

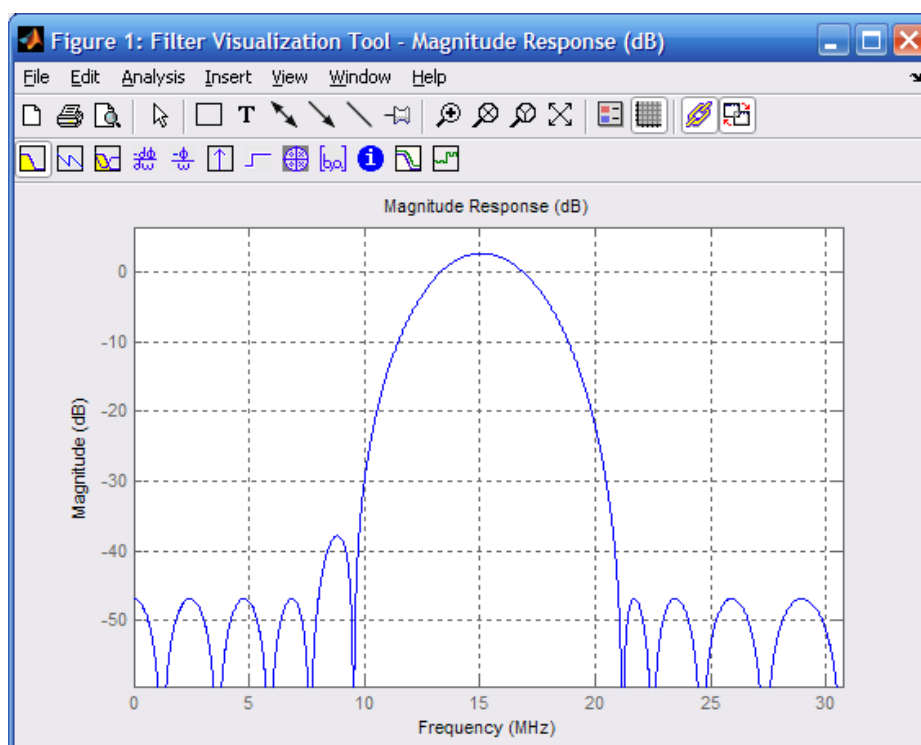


Fig. 4.2 Resposta del filtre CFIR

Un cop dissenyat el filtre CFIR només ens queda importar els coeficients amb un fixer .COE i omplir totes les dades de l'assistent del Xilinx IP Core Generator. A la figura 4.3 veiem una captura del Xilinx Core Generator amb tota la informació sobre el DDC per a UMTS.

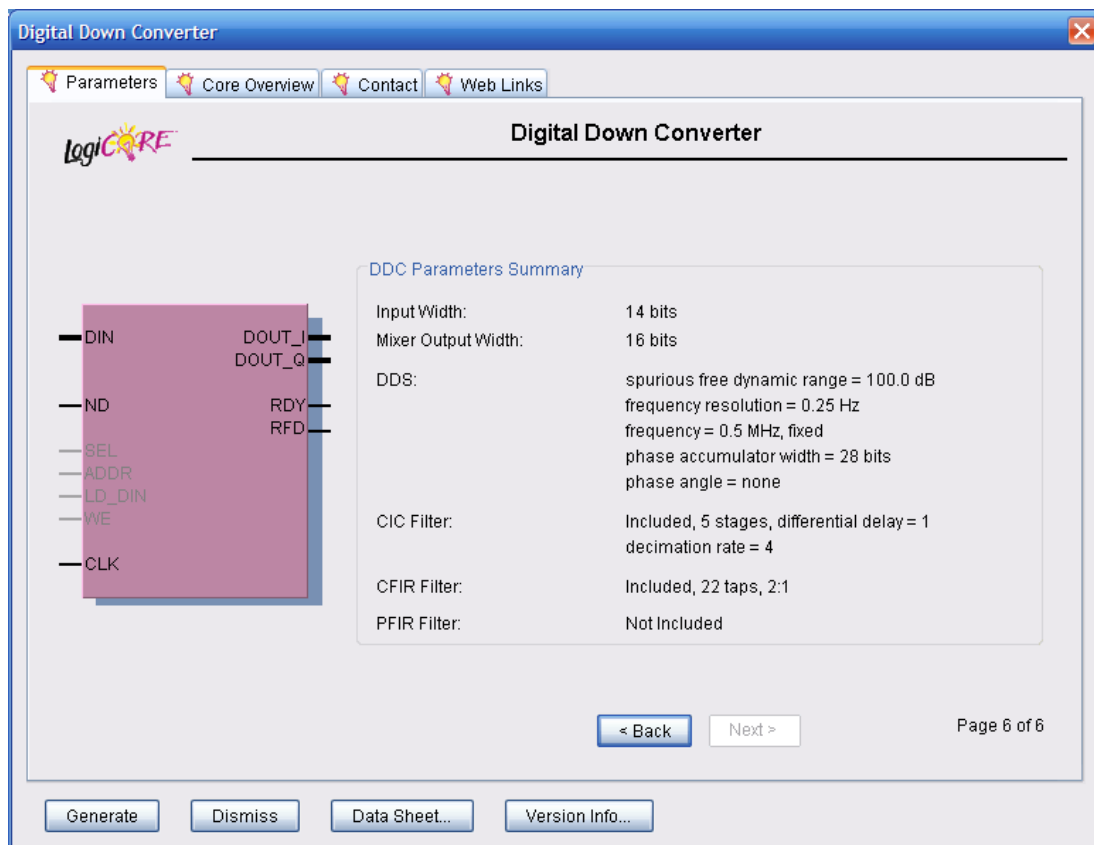


Fig. 4.3 Captura del Xilinx Core Generator

4.2 Implementació del DUC per a UMTS

El temps de chip de WCDMA segons l'estàndard (5) és de 3.84Mcps. La freqüència central que necessitem és de 61.44Msps, tal com hem vist a l'apartat 4.1.

La freqüència de clock de la FPGA ha de ser múltiple de la taxa de mostreig, i segons l'estàndard (5), és preferible que sigui múltiple de 2 ja que tenim el mateix nombre de canals per la component en fase que per la component en quadratura. Llavors tenim $61.44 \times 6 = 368.64\text{MHz}$. Tal com hem explicat al capítol 2, el DUC ens eleva un senyal en banda base a una freqüència central més alta, i ens augmenta el nombre de mostres per segon.

Taula 4.2 característiques d'UMTS

Paràmetre	Valor
Ample de banda de portadora	5.0MHz
Nombre de portadores	1
Taxa de chip (banda base)	3.84Mcps
Freqüència de mostreig	61.44Msps (16x3.84)
Mascara espectral	Fins a 70dB per a offsets freqüencials de 3.5MHz
ACLR	45dB canal adjacent 50dB canal altern
EVM	17.5% per QPSK 12.5% per QAM
Longitud senyal d'entrada	16 bits I-Q (complex)
Longitud senyal de sortida	16 bits I-Q (complex)
Propietats del mesclador	Ajustament variable Resolució freqüencial: 0.25Hz SFDR: fins a 115dB

4.2.1 Requeriments de mascara espectral

El filtre amb forma de pols és un filtre d'arrel quadrada del cosinus alçat amb un factor de roll-off $\alpha = 0.22$. La màscara espectral obtinguda a la secció 6.6.2.1 de l'estàndard (5) i pel cas de $P \geq 43\text{dBm}$ (P màxima que ens dona la BS) és la que tenim a la taula següent.

Taula 4.3 màscara espectral d'UMTS

Offset de freqüència al final del filtre, a -3dB	Màxima potencia a l'ample de banda de mesura	Ample de banda de mesura
$2.5\text{MHz} \leq \Delta f \leq 2.7\text{MHz}$	-14dBm	30KHz
$2.7\text{MHz} \leq \Delta f \leq 3.5\text{MHz}$	-14dBm -> -26dBm	30KHz
$3.5\text{MHz} \leq \Delta f \leq 4.0\text{MHz}$	-26dBm	30KHz
$3.5\text{MHz} \leq \Delta f \leq 12.0\text{MHz}$	-13dBm	1MHz

Els requeriments d'atenuació del filtre de la següent taula estan trets de l'estàndard i incrementats 20dB per facilitar el posterior filtratge analògic.

Taula 4.4 Requeriments d'atenuació del filtre, incrementats 20 dB respecte l'estàndard

$ \Delta f $ dintre del rang	Atenuació mínima (dB)	Atenuació amb el marge de 20dB(dB)
$2.5\text{MHz} \leq \Delta f \leq 2.7\text{MHz}$	36	56
$2.7\text{MHz} \leq \Delta f \leq 3.5\text{MHz}$	36 -> 48	56 -> 68
$3.5\text{MHz} \leq \Delta f \leq 12.0\text{MHz}$	50	70

4.2.2 Adjacent Channel leakage Ratio (ACLR)

Aquest paràmetre es defineix com la relació entre la potència a la banda central i la potència al canal adjacent després que cada banda sigui filtrada per un filtre d'arrel quadrada del cosinus alçat. Tal com em vist a la taula 4.4 ACLR pel canal adjacent a 5MHz de separació és de 45dB i per al segon canal que és a 10MHz és de 50dB.

4.2.3 Error vector Magnitude (EVM)

Es defineix com la diferència entre la forma d'ona de referència i la forma d'ona mesurada, després del filtre d'arrel quadrada del cosinus alçat. Es pot expressar com:

$$EVM(\%) = \frac{\text{Valor eficaç (vector d'error)}}{\text{valor eficaç(senyal de referencia)}} \times 100 \quad (4.6)$$

4.2.4 Disseny del DUC

Tal com em vist a la Figura 2.9, el DUC està format per dos filtres interpoladors per 2 i pel CIC que en aquest cas interpolarà per 4. A la figura 4.4 tenim l'esquema del DUC per a UMTS.

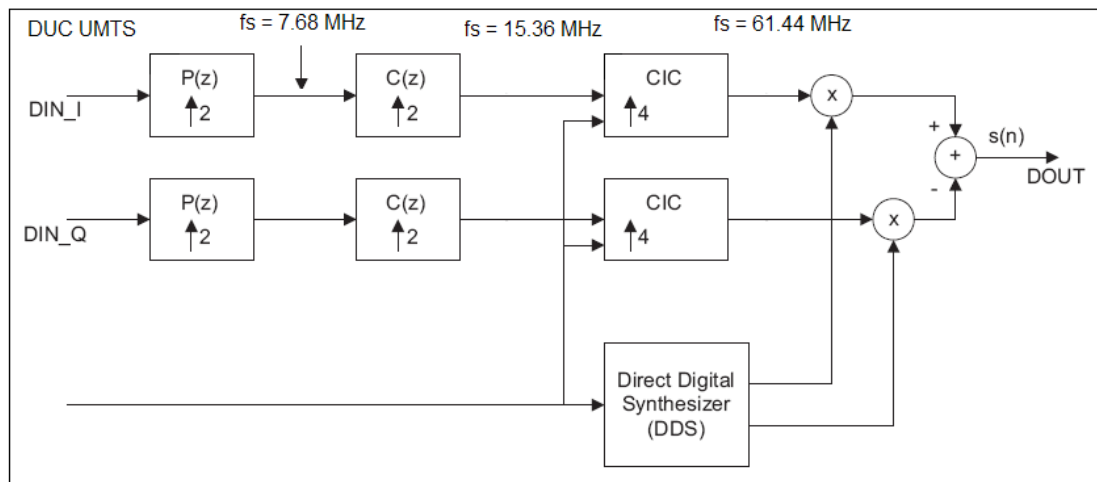


Fig. 4.4 Esquema del DUC per a UMTS

El primer filtre $P(Z)$ s'encarrega d'eleva la taxa de mostreig al doble. Dissenyem el primer filtre amb Fdatool, tenint en compte la mascara espectral que hem definit a la taula 4.4. La freqüència de mostreig del primer filtre serà $2 \times 3.84 = 7.68 \text{ MHz}$. Aquest filtre serà un filtre del tipus arrel quadrada del cosinus alçat amb una atenuació de 27dB i una freqüència de tall de 1920MHz. Veiem que respecta bastant la màscara espectral com es pot apreciar a la figura següent.

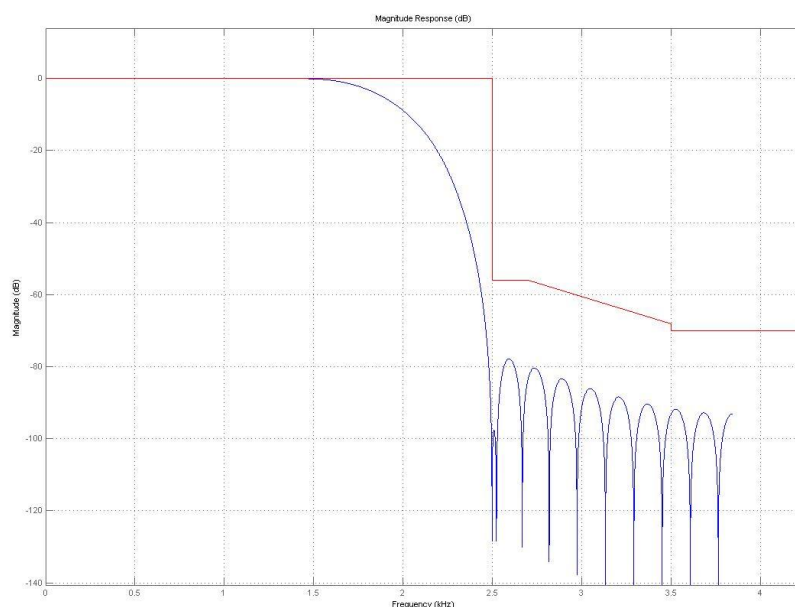


Fig. 4.5 Filtre $P(z)$ dissenyat amb Fdatool

Ara que hem implementat el filtre amb Fdatool, hem d'exportar-lo al Xilinx Core Generator.

El segon filtre $C(z)$ que apareix 4.6, també serà un interpolador per 2. Llavors tenim un senyal a $2 \times 7.68 = 15.36$ MHz, aquesta serà la seva freqüència de mostreig. Dissenyem un filtre d'ordre 22, amb una atenuació d'uns 80 dB i una freqüència de tall de 2.34MHz. Com ja hem fet abans, després de tenir els coeficients amb Matlab implementem el filtre amb el Core Generator. En aquest cas l'estàndard no ens marca màscara espectral ja que es tracta d'una etapa intermitja, doncs només tenim màscara a banda base i a la freqüència central de 61.44MHz. Aixó ens ofereix la possibilitat de que cadascú dissenyi el DUC de la forma més eficient per al seu hardware.

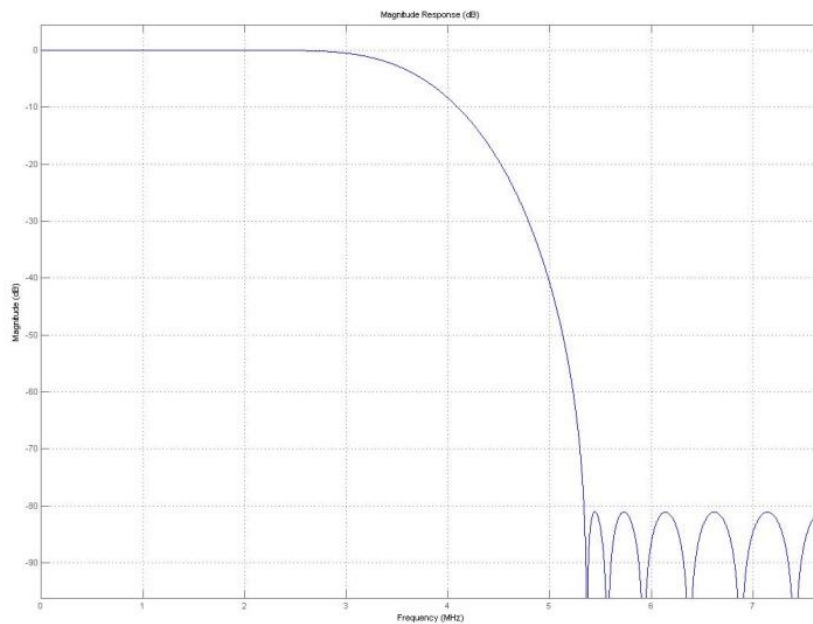


Fig. 4.6 Respota del filtre $C(z)$ dissenyat amb Fdatool

Per dissenyar el CIC fem servir el Xilinx Core Generator. El nostre CIC te que interpolar per 4, i treballa a una freqüència de mostreig de 61.44MHz.

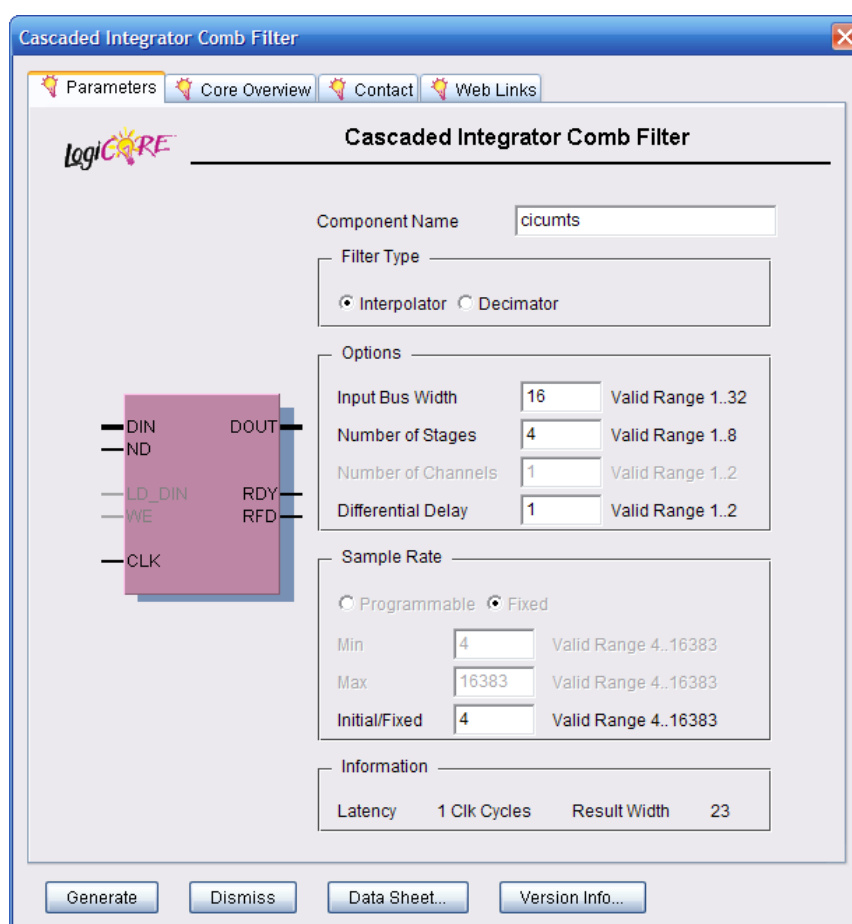


Fig. 4.7 Disseny del CIC amb el Xilinx Core Generator

Finalment hem de dissenyar el DDS. El DDS ha de tenir fase i quadratura, una freqüència de mostreig de 61.44MHz, una resolució en freqüència de 0.25 Hz i un SFDR de 105dB

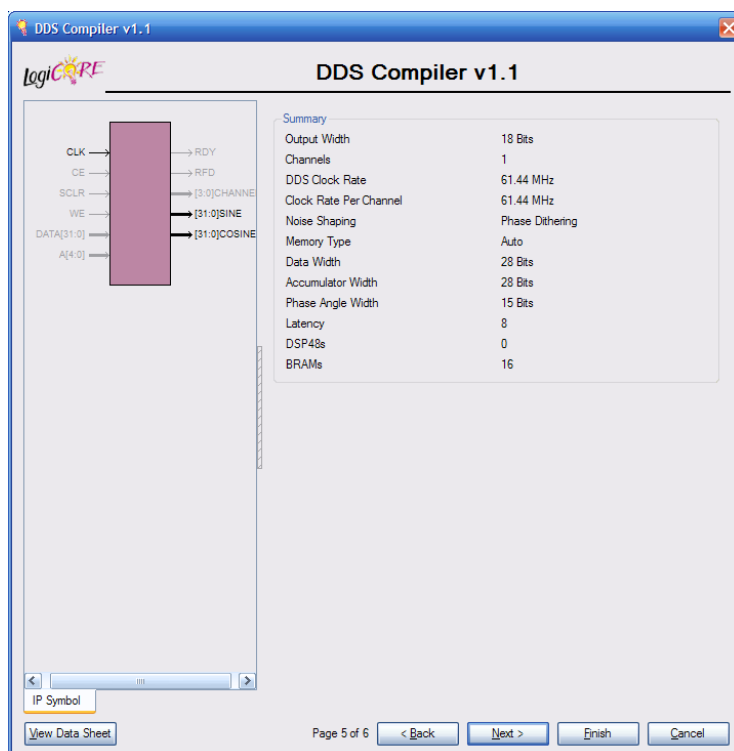


Fig. 4.8 Captura del DDS del DUC amb el Xilinx Core Generator

Ara que ja tenim tots el blocs del DUC tenim que obrir el Xilinx Core generator i importar-los d'un en un per muntar el DUC.

4.3 Implementació del DDC per a la tecnologia WiMAX

4.3.1 Requeriments

Segons l'estàndard (1), per a WiMAX, la taxa de mostreig a banda base és de 11.424 Msps. A l'entrada del DDC tenim un senyal de 10 MHz d'ample de banda mostrejat a 91.392 Msps. Ens interessa tenir un senyal a la sortida del DDC mostrejat a $5.712 \times 2 = 11.424$ Msps i en banda base. El senyal a l'entrada serà real de 14 bits i a la sortida complex i de 16 bits.

Taula 4.5 Característiques de WiMAX

Paràmetre	Valor
Ample de banda de canal	10.0MHz
Freqüència de mostreig	91.392Msps (8x11.424)
Taxa de mostreig a la sortida I-Q	5.712 Msps
Quantificació a l'entrada	14Bits (real)
Quantificació a la sortida	16 bits (I-Q) complexe
Propietats del mesclador	Resolució freqüencial: 0.5Hz SFDR: 100dB
Freqüència central	22.848MHz

Hem de delmar per 8 ($91.292 / 8 = 11.424$). El que farem serà considerar un filtre CIC que ens delmi per 4 i un filtre CFIR per 2. Finalment tenim una etapa de guany CIC per millorar la SNR a la sortida del CIC. Apart de delmar, els filtres CFIR i CIC s'encarreguen d'eliminar les interferències segons la mascara espectral que ens indica l'estàndard.

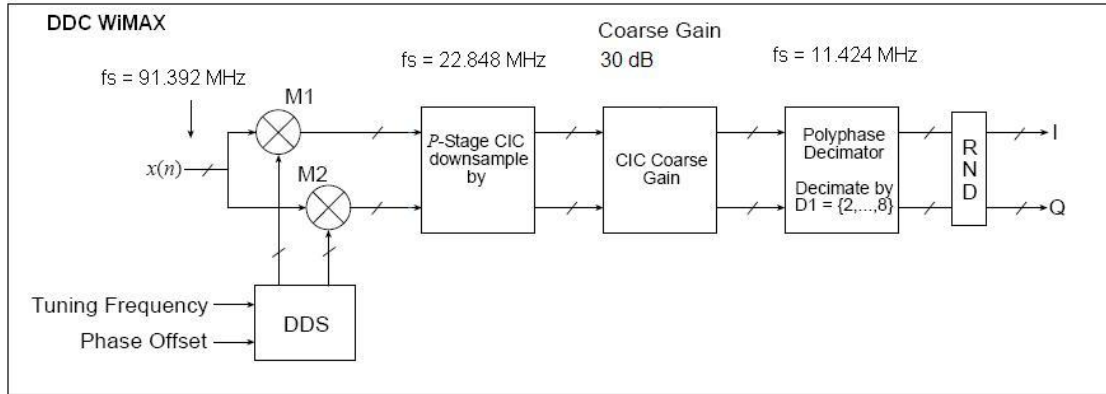


Fig. 4.9 Esquema del DDC per a WiMAX

4.3.2 Disseny

Agafarem una freqüència de treball de $365.568 \text{ MHz} = 4 \times 91.392$ ja que la FPGA té un límit operacional de 420 MHz i la freqüència de treball ha de ser múltiple de la freqüència de mostreig, doncs el valor triat s'apropa al màxim permès per la FPGA.

El primer pas és dissenyar el DDS. Per això agafarem una freqüència de 91.392 MHz, una SFDR de 100 dB i una resolució en freqüència de 0.25 Hz. Com em explicat abans, la resolució en freqüència és

$$\Delta f = \frac{f_s}{2^{B_{\theta(n)}}} \quad (4.7)$$

$$B_{\theta(n)} = \log_2 \frac{f_s}{\Delta f} = \log_2 \frac{91.392 \text{ MHz}}{0.25} = 28.44 \text{ bits} \quad (4.8)$$

Per tant, $R=28$

El següent pas és dissenyar el CIC. Per al CIC hem de delmar per 4. Això ho farem amb 5 etapes i finalment a partir del paràmetre R del DDS calcularem el guany del CIC.

$$2^{GUANY} \quad (4.9)$$

$$GUANY = \sqrt{R} \quad (4.10)$$

$$\sqrt{28} = 5.33 \rightarrow 2^5 = 32 \rightarrow 20 \log 32 = 30.1dB \quad (4.11)$$

A continuació dissenyem el filtre CFIR amb Fdatool, seguint les especificacions de la màscara espectral. Tenim el senyal centrat a $91.329/4 = 22.848$ MHz gràcies al CIC que ens ha delmat per 4. Ara necessitem un filtre centrat a 22.848 i amb una banda de pas de pas de 10 MHz. El filtre corresponent dissenyat amb Matlab està representat a la figura 4.10.

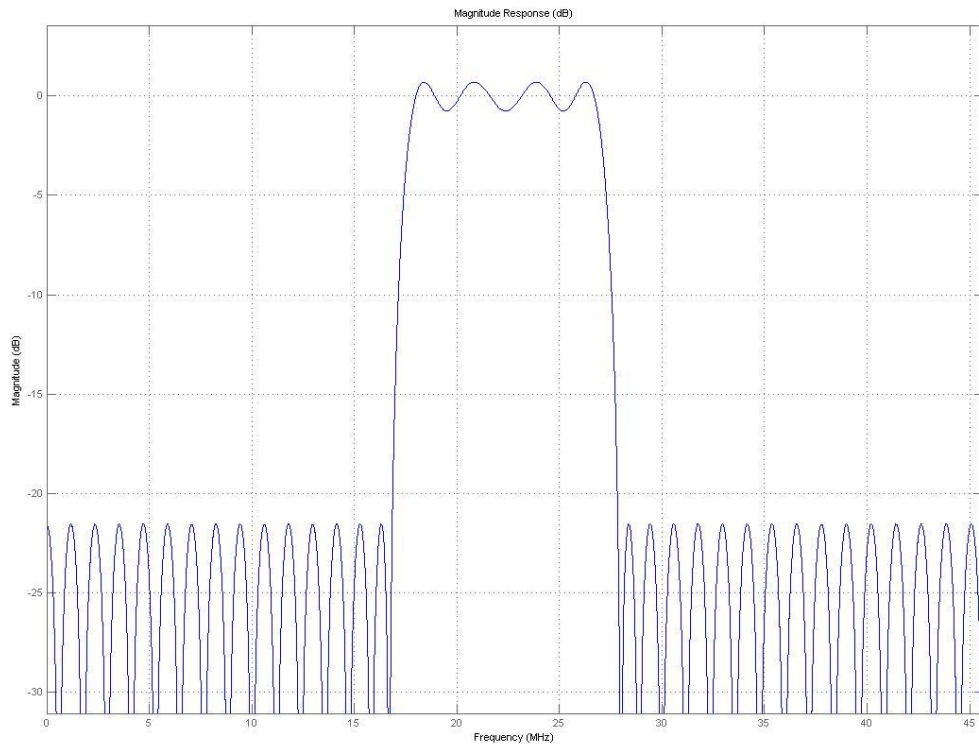


Fig. 4.10 Filtre $G(Z)$ del DDC per a WiMAX

Un cop dissenyats els filtres amb Matlab i calculats els paràmetres del DDS ja podem passar a introduir les dades al Xilinx IP Core generator i generar el DDC per a WiMAX.

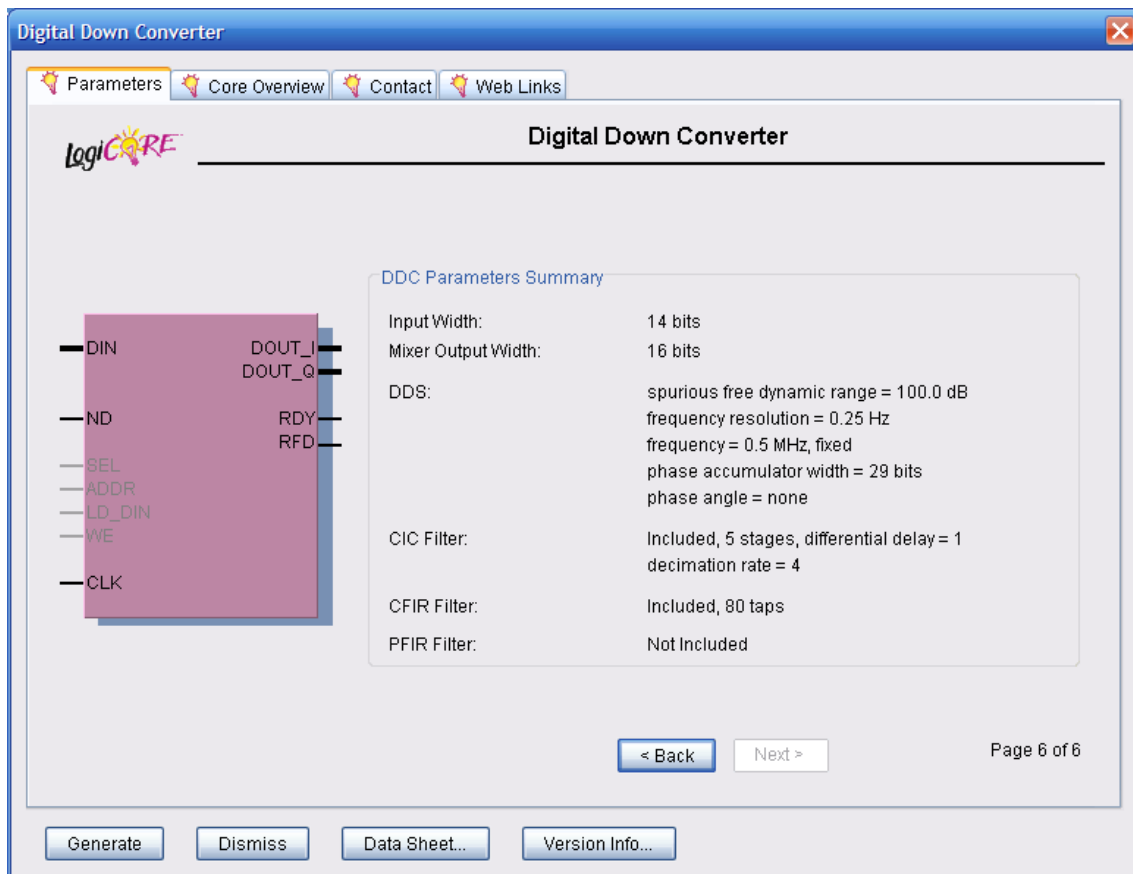


Fig. 4.11 Generació del DDC per a WiMAX amb el Xilinx Core Generator

4.4 Implementació del DUC per a WiMAX

4.4.1 Requeriments

La freqüència de mostreig de WiMAX és de 5.712Msps. Després del DUC ens interessa tenir el senyal amb una taxa de mostreig de 91.392 Msps. La freqüència de clock que farem servir serà de $91.392 \times 4 = 365.568$ MHz. El senyal de sortida estarà a una freqüència central de 22.848 MHz.

Hem d'interpol·lar per 16, i ho farem de la següent forma, tal com es mostra a la figura. El filtre $P(z)$, $C(z)$ interpolen per 2 cada un i el CIC que interpola per 4.

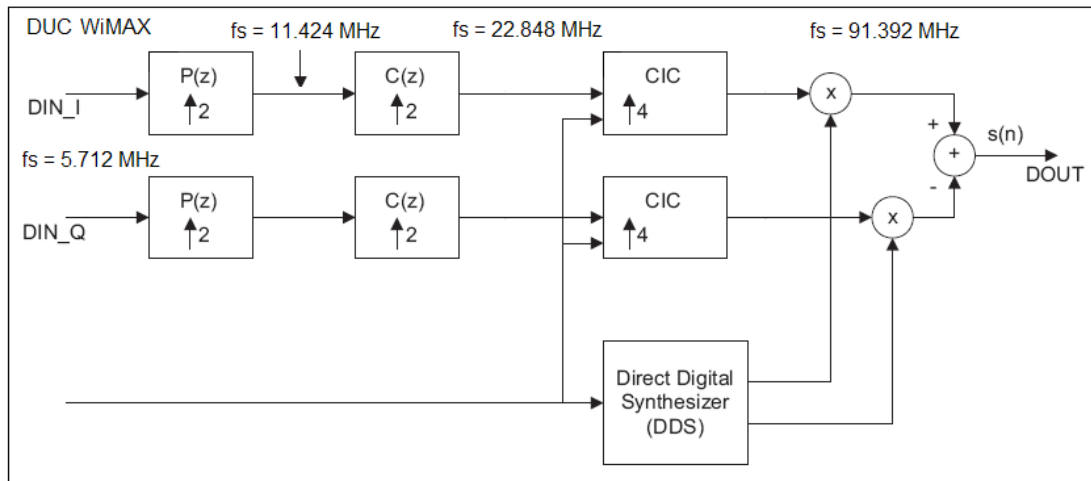


Fig. 4.12 Disseny del DUC per a WiMAX

4.4.2 Disseny

El filtre amb forma de pols és un filtre d'arrel quadrada del cosinus alçat amb un factor de roll-off $\alpha = 0.25$. La màscara espectral obtinguda a la secció 8.5.2 de l'estàndard (1) és la següent:

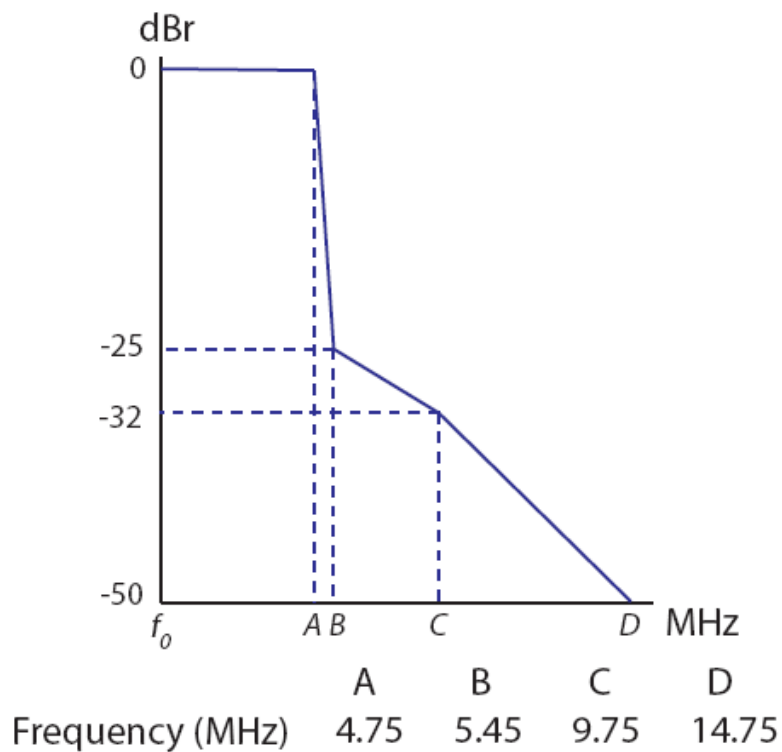


Fig. 4.13 Màscara espectral de WiMAX

Aquesta màscara és la que ha de respectar el primer filtre, $P(z)$ que ens elevarà la taxa de mostreig a 11.424MHz. Dissenyem el filtre amb Fdatool i l'exportem al format COE de Xilinx.

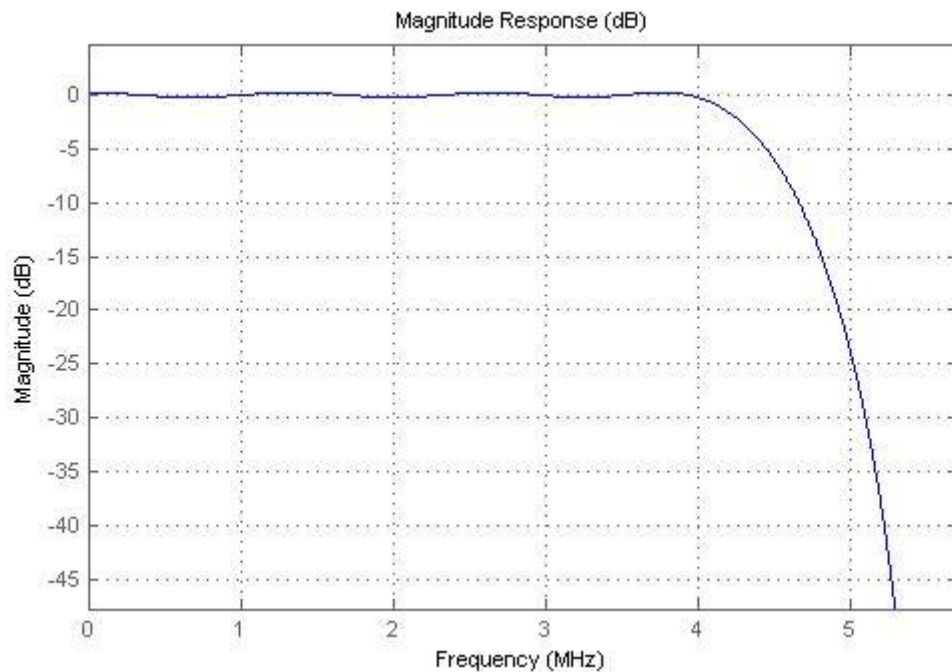


Fig. 4.14 Filtre $P(z)$ dissenyat amb Fdatool

Veiem que el filtre proposat respecta la mascara. Ja que tenim 0 dB d'atenuació a 4 MHz i 25dB a 5.45 MHz. El següent filtre $C(z)$ funciona a una freqüència de mostreig de 22.848 MHz i també interpola per 2. A la següent figura tenim la seva resposta.

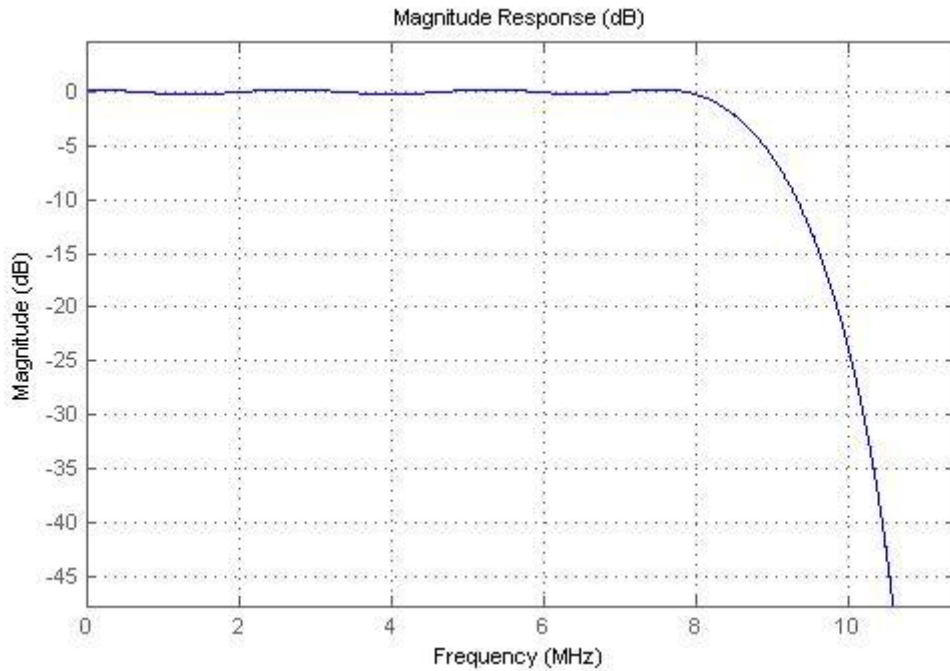


Fig. 4.15 Resposta del filtre $C(z)$

Igual que a les altres etapes, importem els filtres al IP core Generator de Xilinx.

Ara dissenyen el CIC amb l'assistent de Xilinx que ha d'interpol·lar per 4 i una freqüència de mostreig de 91.392 MHz. Com que la freqüència de mostreig es tria més tard al compilar el codi a la FPGA podem agafar el mateix CIC que vam dissenyar per al DUC en UMTS.

Finalment hem de dissenyar el DDS. Agafem un SFDR de 100 dB , 0.25 Hz de resolució en freqüència i una freqüència de 91.392MHz. A la següent figura tenim una captura del DDS dissenyat al Xilinx IP Core Generator

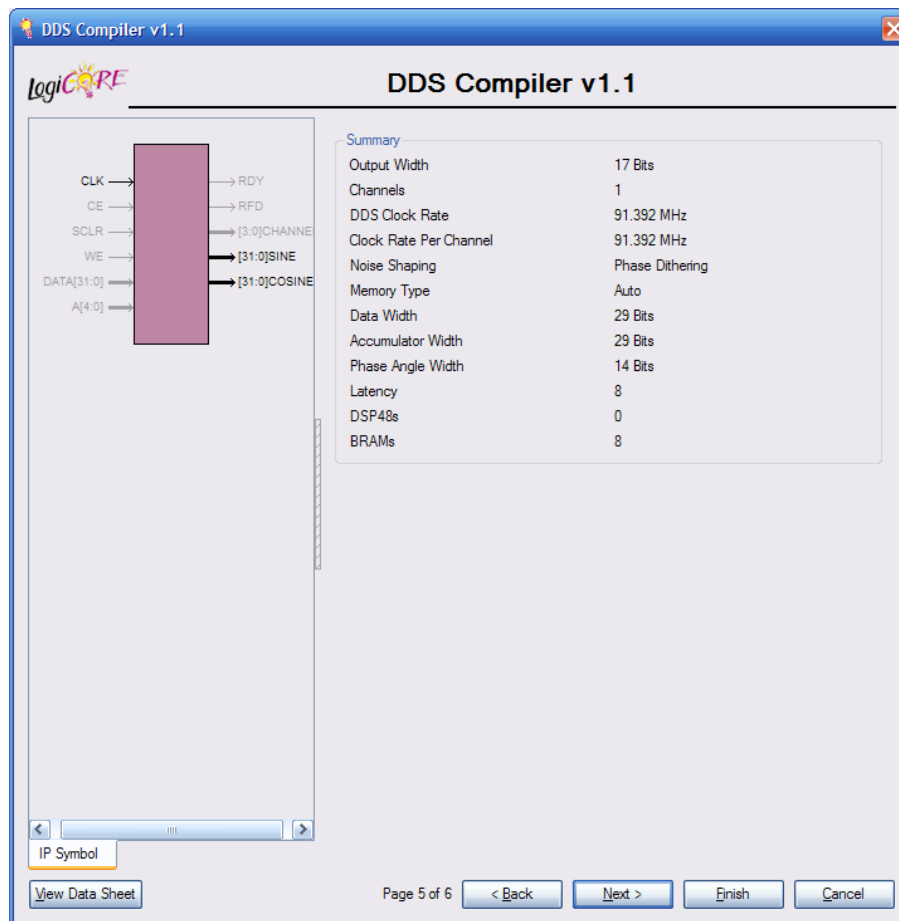


Fig. 4.16 Disseny del DDS per al DUC de WiMAX

Finalment hem de importar tots els blocs al Xilinx Core Generator i ens generà el DUC per a WiMAX.

Capítol 5. Conclusions i suggerències per a treballs futurs

5.1 Conclusions

Els objectius d'aquest projecte eren dos, primer entendre i descriure el funcionament del SDR i després generar un DUC i DDC per a dos tecnologies diferents, WiMAX i UMTS.

Respecte al SDR hem après el tipus de tecnologia que és aquesta tecnologia i quins avantatges ofereix. Sens dubte tots els dispositius futurs seran dissenyats amb SDR ja que avui en dia la principal limitació del SDR és la tecnologia dels conversors AD. A més d'estalviar dissenys als fabricants, una de les possibilitats del SDR és vendre un mateix dispositiu per a diferents tecnologies. Per exemple un operador de telefonia podria vendre un terminal que segons les necessitats del client suporti una tecnologia o una altra. També hem de tenir en compte el següent nivell de SDR, el Cognitive Radio que adapta els paràmetres de transmissió segons les condicions de l'entorn la qual cosa comporta un ús més eficient dels recursos i de l'espectre radio.

Per realitzar el projecte hem treballat amb la tecnologia de Xilinx, un fabricant força important en el sector del Hardware. Hem descobert que el procés de disseny és força senzill i compta amb un suport molt eficient per part de Xilinx. Podem dir que els temps en els quals s'havia de dissenyar un dispositiu des de zero han passat a la història gràcies a la tecnologia basada en programació en VHDL. Cal destacar, que a més de Xilinx hi ha altres fabricants com Atmel, Lattice, Altera que disposen d'un software similar que ens permet dissenyar dispositius per als seus productes.

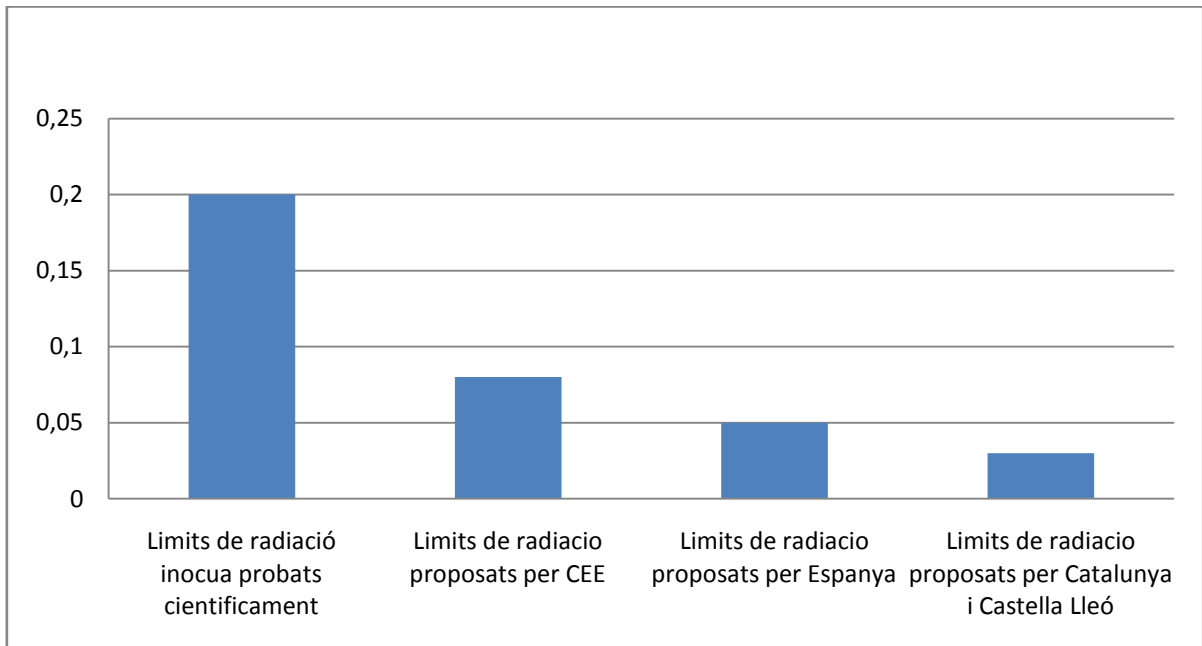
5.2 Impacte ambiental

Nombroses aplicacions i productes que fem servir actualment utilitzen l'energia electromagnètica. Entre ells la telefonia mòbil, i les xarxes sense fils. Una xarxa d'aquest tipus per ser operativa requereix estacions bases i els terminals dels usuaris. Aquests dispositius generen el que es coneix com contaminació electromagnètica. Hi ha molts estudis però no n'hi ha cap que demostrï que la contaminació electromagnètica sigui perjudicial o no per als éssers humans.

El que si està demostrat és que la radiació electromagnètica produeix un escalfament del cos. Per això els terminals tenen el que es coneix com SAR (*Specific Absorption Rate*) que mesura la potencia de les ones de radio absorbides pel cos quan s'exposa a una font de radiació no ionitzant. La radiació no ionitzant és la radiació que no té energia suficient per alterar les cèl·lules vives.

Tot i això els organismes reguladors han establert lleis que regulen la radiació absorbida.

Taula 5.1 Límits de radiació per diferents organismes reguladors en [W/Kg]



Amb els valors de potencia de transmissió actuals i a les distàncies recomanades les antenes d'accés sense fils no representen cap amenaça per a la salut.

5.3 Suggerències per a futurs treballs.

Com a continuació d'aquest treball, el disseny realitzat s'hauria d'implementar amb una FPGA. Si encara volguéssim anar més enllà podríem dissenyar el transmissor i el receptor per als sistemes UMTS i WiMAX i implementar-los en un sistema FPGA + DSP + AD/DA. Això seria un projecte massa complex a abordar per a un estudiant i requeriria un significatiu finançament tant a nivell de Hardware com de recursos humans.

Bibliografia

1. **IEEE.** *Std 802.16e-2005 Local And Metropolitan Area Network - Part 16: Standard Air Interface for Fixed Broadband Wireless Access Systems.* 2005.
2. Pàgina web del WiMAX Forum. [En línia] <http://www.wimaxforum.org/home/>.
3. Pàgina web IMT2000. *ITU IMT 2000.* [En línia] <http://www.itu.int/ITU-T/imt-2000/index.html>.
4. **Xilinx.** *Virtex II Field-Programmable Gate Arrays Advanced product specification.* 2001.
5. **3GPP.** *TS 25.104.* 2002.
6. **Bertran Albertí, Eduard.** *Señales y sistemas de tiempo discreto.* s.l. : Edicions UPC, 2003.
7. **IEEE.** *Std 802.16-2004 Local And Metropolitan Area Network - Part 16: Standard Air Interface for Fixed Broadband Wireless Access Systems.* 2004.
8. **Garcia, Pablo Gonzalez.** *TFC Diseño de una herramienta de planificación de sistemas WiMAX.* s.l. : Edicions UPC, 2006.
9. Pàgina Web del SDR Forum. [En línia] <http://www.sdrforum.org/>.
10. Pàgina web del 3GPP. [En línia] <http://www.3gpp.org/>.

Terminologia

SDR Software Defined Radio
AD Analogic-digital
DA Digital-Analogic
UMTS Universal Mobile Telecommunications System
WiMAX Worldwide Interoperability for Microwave Access
SOHO Small office, Home office
FPGA Field Programmable Gate Array
DSP Digital Signal Processor
DUC Digital Up converter
DDC Digital Down Converter
DDS Direct Digital Synthesis
SR Software Radio
CR Cognitive Radio
GSM Global System for Mobile Communication
WLAN Wireless Local Area Network
MAN Metropolitan Area Network
LAN Local Area Network
OFDM Orthogonal Frequency Division Multiplexing
OFDMA Orthogonal Frequency Division Multiple Access
GRPS General Packet Radio Service
W-CDMA wideband code division multiple access
HSDPA High Speed Downlink Packet Access
SNR Signal to Noise Ratio
IIR Infinite Impulse Response
FIR Finite Impulse Response
CIC cascaded integrator-comb
SFDR Spurious Free Dynamic Range
GUI Graphical User Interface
ACLR Adjacent Channel leakage Ratio
EVM Error vector Magnitude
IDE Integrated development enviroment
SAR Specific Absorption Rate